

**TEK AKI KUANTUMU DEVRELERİNDE İSTATİSTİKSEL
ZAMANLAMA ANALİZİ VE SAYISAL BENZETİM ARACI
GELİŞTİRİLMESİ**

MUSTAFA EREN ÇELİK

**YÜKSEK LİSANS TEZİ
ELEKTRİK VE ELEKTRONİK MÜHENDİSLİĞİ
ANABİLİM DALI**

**TOBB EKONOMİ VE TEKNOLOJİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

ARALIK 2013

ANKARA

Fen Bilimleri Enstitü onayı

Prof. Dr. Necip CAMUŐCU
Müdü

Bu tezin Yüksek Lisans derecesinin tüm gereksinimlerini sağladığını onaylarım.

Prof. Dr. Murat ALANYALI
Anabilim Dalı Başkanı

Mustafa Eren ÇELİK tarafından hazırlanan “TEK AKI KUANTUMU DEVRELERİNDE İSTATİSTİKSEL ZAMANLAMA ANALİZİ VE SAYISAL BENZETİM ARACI GELİŐTİRİLMESİ” adlı bu tezin Yüksek Lisans tezi olarak uygun olduğunu onaylarım.

Doç. Dr. Ali BOZBEY
Tez Danışmanı

Tez Jüri Üyeleri

Başkan : Prof. Dr. Ali GENCER

Üye : Doç. Dr. Ali BOZBEY

Üye : Doç. Dr. Arif Sanlı ERGÜN

TEZ BİLDİRİMİ

Tez içindeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edilerek sunulduğunu, ayrıca tez yazım kurallarına uygun olarak hazırlanan bu çalışmada orijinal olmayan her türlü kaynağa eksiksiz atıf yapıldığını bildiririm.

Mustafa Eren ÇELİK

Üniversitesi : TOBB Ekonomi ve Teknoloji Üniversitesi
Enstitüsü : Fen Bilimleri
Anabilim Dalı : Elektrik ve Elektronik Mühendisliği
Tez Danışmanı : Doç. Dr. Ali BOZBEY
Tez Türü ve Tarihi : Yüksek Lisans – Aralık 2013

Mustafa Eren ÇELİK

**TEK AKI KUANTUMU DEVRELERİNDE İSTATİSTİKSEL
ZAMANLAMA ANALİZİ VE SAYISAL BENZETİM ARACI
GELİŞTİRİLMESİ**

ÖZET

Günümüzde kullanılan yarı iletken teknolojisine önemli bir alternatif olan tek akı kuantumu (SFQ) devreleri oldukça hızlı saat frekansı ve düşük enerji tüketimi ile yüksek kapasitede işlem gücü sağlayabilmektedir. Ancak artan saat hızı ve karmaşıklık seviyesi nedeniyle günümüzde kullanılan araçlar daha yüksek performanslı devreler geliştirme konusunda yetersiz kalmaktadır. Mevcut araçlar ile yapılan benzetimler ya çok detaylı ve uzun sürmekte ya da hızlı sonuç sağlamak için pek çok etkiyi ihmal etmektedir. İhmal edilen etkiler özellikle yüksek saat frekanslı ve karmaşık SFQ devreleri için önemli olmaktadır. Dolayısıyla SFQ devreleri için özelleşmiş tasarım araçlarına ihtiyaç duyulmaktadır. Bu nedenden ötürü SFQ hücreleri yerine istatistiksel modeller kullanan sayısal bir benzetim aracı geliştirilmiştir. Bu araç geliştirilirken öncelikle temel SFQ devreleri incelenip, çıktı zamanlamaları ve seğirmelerin hızlı ve pratik benzetimi için bir model bulunmuştur. Bu sayede tasarım eksikliklerinden veya ihmal edilmekte olan zamanlama varyasyonlardan kaynaklanabilecek durumlar tespit edilebilir hale gelmiştir. Bu araç ile çok işlem gerektiren, uzun süren benzetimler yapılmaksızın, özellikle çok sayıda hücreden oluşan SFQ devrelerinde oluşması muhtemel zamanlama hatalarının analizi yapılabilmektedir.

Anahtar Kelimeler: SFQ, Zamanlama Analizi, İstatistiksel Modelleme, Sayısal Benzetim.

University : TOBB University of Economics and Technology
Institute : Institute of Natural and Applied Sciences
Science Programme : Electrical and Electronics Engineering
Supervisor : Assoc. Prof. Dr. Ali BOZBEY
Degree Award and Date : M.Sc. – December 2013

Mustafa Eren ÇELİK

**STATISTICAL TIMING ANALYSIS AND DEVELOPMENT OF A
DIGITAL SIMULATION TOOL FOR SINGLE FLUX QUANTUM
CIRCUITS**

ABSTRACT

Single flux quantum (SFQ) circuits can provide more computational power with faster operation and lower energy consumption and is one of the most promising technology that is an alternative to today's semiconductor circuits. However, due to increase in circuit operating speed and complexity, circuit design tools used today are insufficient for increasing the performance further. Simulations made by these tools are either taking too much time and detailed or ignoring many effects to achieve faster results. But ignored effects can be crucial especially for high speed and complex circuits. Therefore, design tools specialized for SFQ circuits are needed. For this reason, a digital simulation tool that uses statistical models instead of SFQ cells is developed. During the process, basic SFQ circuits are analyzed to find a model for output timings and variations. By using this model, the timings and timing variations of several cell combinations can be calculated practically. In this way, errors that may result from the design deficiencies or the ignored timing variation effects can be detected. By using this tool, timing errors of especially larger SFQ circuits can be analyzed without doing a time consuming actual simulation.

Keywords: SFQ, Timing Analysis, Statistical Modeling, Digital Simulation.

TEŐEKKÜR

Çalıőmalarım boyunca deęerli yardım ve katkılarıyla beni yönlendiren baőta danıőmanım Doç. Dr. Ali BOZBEY'e ve kıymetli hocalarım Prof. Dr. Ali Gencer, Prof. Dr. İman ASKERBEYLİ, Doç. Dr. Arif Sanlı ERGÜN ve Yrd. Doç. Dr. Ayőe Melda Yüksel'e, çalıőma arkadaşlarım Yięit TÜKEL, Murat ÖZER ve Sasan RAZMKHAH'a, sunduęu imkânlardan ötürü TOBB Ekonomi ve Teknoloji Üniversitesi'ne ve Süperiletken Teknolojileri Uygulama ve Araőtırma Merkezi'ne ve her türlü desteęi ile hep yanımda olan aileme teőekkürü bir borç bilirim.

Yapılan çalıőmalar, 111E191 nolu TÜBİTAK projesi tarafından desteklenmektedir.

İÇİNDEKİLER

ÖZET	iii
ABSTRACT	iv
TEŞEKKÜR	v
İÇİNDEKİLER	vi
ÇİZELGELERİN LİSTESİ	ix
ŞEKİLLERİN LİSTESİ	x
KISALTMALAR	xiii
SEMBOL LİSTESİ	xiv
1. GİRİŞ	1
1.1. Tarihçe	2
1.2. Süperiletkenlerde Enerji Seviyeleri	5
1.3. Tünelleme	6
1.3.1. Metallerde Tünelleme	6
1.3.2. Süperiletkenlerde Tünelleme	7
1.4. Josephson Etkisi	8
1.4.1. Josephson Ekleminin Akım – Gerilim Karakteristiği	11
1.4.2. Eşdeğer Devre Modeli (RCSJ Modeli)	12
1.5. Akı Kuantizasyonu	14
1.6. Süperiletken Kuantum Girişim Cihazı (SQUID)	15
1.7. Tek Akı Kuantumu (SFQ) Devreleri	17
2. TEMEL SFQ HÜCRELERİ	20
2.1.1. Josephson İletim Hattı (JTL)	21
2.1.2. Splitter Devresi	21
2.1.3. Merger Devresi	22

2.1.4.	D-Flip-Flop (DFF) Devresi	23
2.1.5.	Sink Devresi	25
2.1.6.	Source Devresi	25
2.1.7.	DC-SFQ Çevirici Devresi	26
2.1.8.	SFQ-DC Çevirici Devresi	26
3.	GECİKME VE SEĞİRME HESAPLAMALARI	28
3.1.	Devre Tasarımlarında Kullanılan Benzetim Araçları.....	29
3.1.1.	Analog Benzetim.....	29
3.1.2.	Sayısal Benzetim.....	30
3.2.	Gecikme ve Seğirme Değerlerinin Benzetimi	31
4.	TEMEL SFQ DEVRELERİ İÇİN GECİKME VE SEĞİRME DEĞERLERİ	34
4.1.	Josephson İletim Hattı (JTL) Devresi.....	34
4.2.	Art arda JTL Devreleri	35
4.3.	Merger Devresi.....	38
4.4.	Art arda Merger Devreleri	39
4.5.	Splitter Devresi.....	41
4.6.	Art arda Splitter Devreleri	43
4.7.	Temel SFQ Kablolama Devreleri için Gecikme ve Seğirme Benzetimleri Sonuçları	44
5.	FARKLI TÜRDEN HÜCRELERİN BİRLEŞİMİ İÇİN GECİKME VE SEĞİRME BENZETİMLERİ	46
5.1.	İstatistiksel Hesaplamalar.....	46
5.2.	Biriken Zamanlama Seğirmelerinin Kullanımı ve Saatli Devrelere Uygulanması	51
6.	SFQ DEVRELERİ İÇİN İSTATİSTİKSEL ZAMANLAMA BENZETİM ARACI (STATS)	55

6.1. Zamanlama Varyasyonlarının İstatistiksel Olarak Modellenmesi	55
6.1.1. Zamanlama Varyasyonlarının Olası Sebepleri.....	55
6.1.2. Çıktı Olasılık Dağılımlarının Hesaplanması	56
6.2. Benzetim Aracının Kapasiteleri	56
6.3. Geliştirilen Benzetim Aracı ile 8 Bit Kaydıran Yazmaç Devresinin Doğrulanması	58
6.4. Geliştirilen Benzetim Aracı ile 8 Bit Kogge-Stone Toplayıcı Devresinin Doğrulanması	59
7. SONUÇLAR VE TARTIŞMA	62
KAYNAKLAR	64
EKLER	69
ÖZGEÇMİŞ	73

ÇİZELGELERİN LİSTESİ

Çizelge 4.1 – Farklı devre türleri için bulunan β parametresi değerleri.	45
Çizelge 4.2 – Farklı besleme gerilimi için bulunan ζ parametresi değerleri.	45
Çizelge 5.1 – Kablolama Devreleri için Bulunan β Parametreleri.	48

ŞEKİLLERİN LİSTESİ

Şekil 1.1 – Süperiletken bir malzemede akım yoğunluğu, sıcaklık ve manyetik alan şiddeti arasındaki ilişkinin şematik gösterimi.	1
Şekil 1.2 – İlk süperiletken olarak keşfedilen Cıvanın sıcaklık – direnç eğrisi.	2
Şekil 1.3 – Süperiletken ve mükemmel iletkenlerin manyetik alana göre oda sıcaklığında ve düşük sıcaklıktaki durumları.	3
Şekil 1.4 – Bose-Einstein yoğuşması durumundaki Cooper çiftlerinin gösterimi.	5
Şekil 1.5 – İki metal için enerji seviyeleri.	7
Şekil 1.6 – Bir metalin akım-gerilim karakteristiği.	7
Şekil 1.7 – S-I-S bir malzemede tünellenmenin Bose-Einstein yoğuşması gösterimi.	8
Şekil 1.8 – Bir Josephson eklemesinde oluşan tünelleme.	9
Şekil 1.9 – Josephson eklemesinin akım – gerilim grafiği.	11
Şekil 1.10 – Giaever ve Josephson tünellemeleri.	12
Şekil 1.11 – Josephson eklemi eşdeğer devresi.	12
Şekil 1.12 – McCumber parametresi ile akım – gerilim grafiği arasındaki ilişki.	14
Şekil 1.13 – Süperiletken bir halka üzerindeki salınımların temsili gösterimi.	15
Şekil 1.14 – Süperiletken kuantum girişim cihazının şematik gösterimi.	15
Şekil 1.15 – SQUID devresinin farklı β_L parametrelerine göre uygulanan manyetik alanın taşınabilecek kritik akıma etkisi.	16
Şekil 1.16 – SFQ devrelerinde kullanılan bir Josephson eklemesinin anahtarlama durumunda akım – gerilim ve zamana göre faz ve gerilim grafikleri.	18
Şekil 2.1 – Josephson iletim hattı hücresi şematiği.	21
Şekil 2.2 – Splitter hücresi şematiği.	22
Şekil 2.3 – Merger hücresi şematiği.	23
Şekil 2.4 – DFF devresi şematiği.	24
Şekil 2.5 – Sink devresi şematiği.	25
Şekil 2.6 – Source devresi şematiği.	25
Şekil 2.7 – DC-SFQ çevirici devresi şematiği.	26
Şekil 2.8 – SFQ-DC çevirici devresi şematiği.	27
Şekil 3.1 – Bir JTL devresinde üretilen çıktı darbelerinin zamanlama dağılımı ve ilgili Gauss fonksiyonu grafiği.	32

Şekil 3.2 – Periyodik çıktı sinyali için örnek gecikme hesabı.	33
Şekil 4.1 – Tek JTL devresi için test şeması.	34
Şekil 4.2 – Farklı besleme gerilimleri altındaki tek JTL devresi için gecikme – giriş sinyali periyodu ve seğirme – giriş sinyali periyodu grafikleri.	35
Şekil 4.3 – Art arda JTL devreleri için test şeması.	36
Şekil 4.4 – Farklı besleme gerilimleri altındaki art arda JTL devreleri için gecikme – devre sayısı ve seğirme – devre sayısı grafikleri.	36
Şekil 4.5 – Tek merger devresi için test şeması.	38
Şekil 4.6 – Farklı besleme gerilimi altındaki tek merger devresinin gecikme – giriş sinyali periyodu ve seğirme – giriş sinyali periyodu grafikleri.	39
Şekil 4.7 – Art arda merger devreleri için test şeması.	40
Şekil 4.8 – Farklı besleme gerilimleri altındaki art arda merger devreleri için gecikme – devre sayısı ve seğirme – devre sayısı grafikleri.	41
Şekil 4.9 – Splitter devresi için test şeması.	42
Şekil 4.10 – Farklı besleme gerilimleri altındaki splitter devresi için gecikme – giriş sinyali periyodu ve seğirme – giriş sinyali periyodu grafikleri.	42
Şekil 4.11 – Art arda splitter devreleri için test şeması.	43
Şekil 4.12 – Farklı besleme gerilimleri altındaki splitter devresi için gecikme – devre sayısı ve seğirme – devre sayısı grafikleri.	44
Şekil 5.1 – Josephson iletim hatları, merger ve splitter devreleri kullanılarak hazırlanan bir test devresi şematığı.	47
Şekil 5.2 – Şekil 5.1'de verilen devreler için verilmiş Gauss gösterimleri.	47
Şekil 5.3 – Şekil 5.1'de verilen devreler için hesaplanan ve benzetimi yapılan varyans değerleri.	49
Şekil 5.4 – Kablolama devrelerinin birleşimlerinden oluşan ikinci test devresi.	50
Şekil 5.5 – İkinci test devresi için hesaplanan ve bulunan varyans değerleri.	50
Şekil 5.6 – Kablolama devrelerinin birleşimlerinden oluşan üçüncü test devresi.	50
Şekil 5.7 – Üçüncü test devresi için hesaplanan ve bulunan varyans değerleri.	51
Şekil 5.8 – DFF devresine ulaşan saat ve giriş sinyalleri farklarının dağılımları.	52
Şekil 5.9 – Farklı giriş devreleri tarafından sürülen DFF devresinin çıktı olasılığı.	53
Şekil 6.1 – Geliştirilen istatistiksel analiz aracının kullanıcı arayüzü.	57
Şekil 6.2 – 8 bit kaydıran yazmaç devresinin şematik diyagramı.	58

Şekil 6.3 – D1 hücresinin gri bölgedeki çıktı olasılıkları grafiği.	59
Şekil 6.4 – 8 Bit Kogge-Stone toplayıcı devresi şematığı.	61

KISALTMALAR

Kısaltmalar	Açıklama
SFQ	Tek akı kuantumu
SQUID	Süperiletken kuantum girişim cihazı
JJ	Josephson eklemi
JTL	Josephson iletim hattı
T_c	Kritik sıcaklık
J_c	Kritik akım yoğunluğu
H_c	Kritik manyetik alan şiddeti
I_c	Kritik akım
STATS	SFQ devreleri için istatistiksel zamanlama benzetim aracı

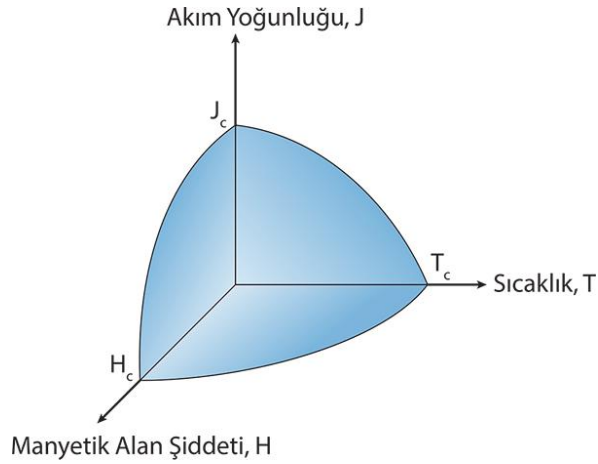
SEMBOL LİSTESİ

Bu çalışmada kullanılmış olan simgeler açıklamaları ile birlikte aşağıda sunulmuştur.

Simgeler	Açıklama
λ	London nüfuz derinliği
ξ	Uyum uzunluğu
κ	Ginzburg-Landau parametresi
β_c	McCumber parametresi
β	Beta parametresi
ς	Besleme gerilimi etkisi parametresi

1. GİRİŞ

Bir malzemenin süperiletken olabilmesi için iki özelliğe, sıfır direnç ve mükemmel diamanyetizma özelliklerine, sahip olması gereklidir [1]. Bir süperiletken içerisinde akım kayıpsız olarak iletilebilir. Ancak süperiletken malzemeler özelliklerini koruyabilmek için üretildiği malzemenin türüne göre değişen bazı kritik değerlere sahiptir. Bu değerler kritik sıcaklık (T_c), kritik akım yoğunluğu (J_c) ve kritik manyetik alan şiddeti (H_c) olarak adlandırılır. Kritik değerlerin aşılması durumunda süperiletkenlik özelliği kaybolur ve malzemenin türüne göre metal veya seramik özellikleri gözlemlenebilir. Bu üç kritik parametre arasındaki ilişki şematik olarak Şekil 1.1’de verilmiştir.



Şekil 1.1 – Süperiletken bir malzemede akım yoğunluğu, sıcaklık ve manyetik alan şiddeti arasındaki ilişkinin şematik gösterimi.

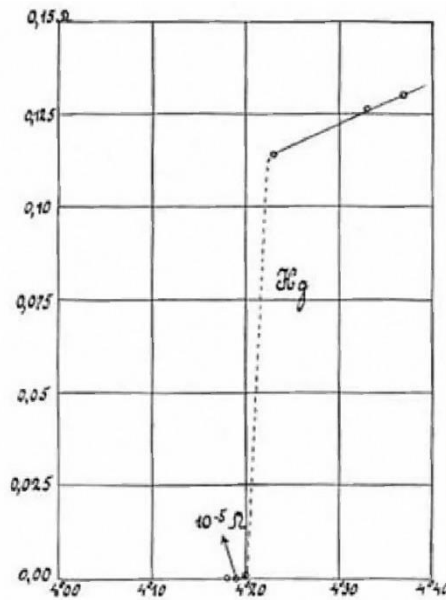
İkinci özellik mükemmel diamanyetizma özelliği ise malzeme merkezine doğru ilerledikçe manyetik alanın sıfır olması anlamına gelir. Bu özellik Tip I olarak nitelendirilen element tabanlı süperiletkenlerin önemli bir özelliğidir. Genellikle seramik tabanlı olan ve daha yüksek kritik sıcaklık değerine sahip Tip II süperiletkenlerde ise manyetik alan şiddetine göre farklı iki durum oluşabilmektedir. Bu tipteki süperiletkenlerde manyetik alan şiddetinin iki kritik değeri (H_{c1} , H_{c2}) vardır. Düşük şiddetli manyetik alan ($H < H_{c1}$) altında mükemmel diamanyetizma özelliği gözlemlenebilirken, manyetik alanın artmasıyla ($H_{c1} < H < H_{c2}$) karışık durum (mixed state) adı verilen, bazı noktalardan manyetik alanın nüfuz edebildiği özel bir durum

ortaya çıkar. Bu durumda, akı çizgileri akı örgüsü oluşturacak şekilde süperiletken içerisine kuantumlu olarak girebilmektedir.

1.1. Tarihçe

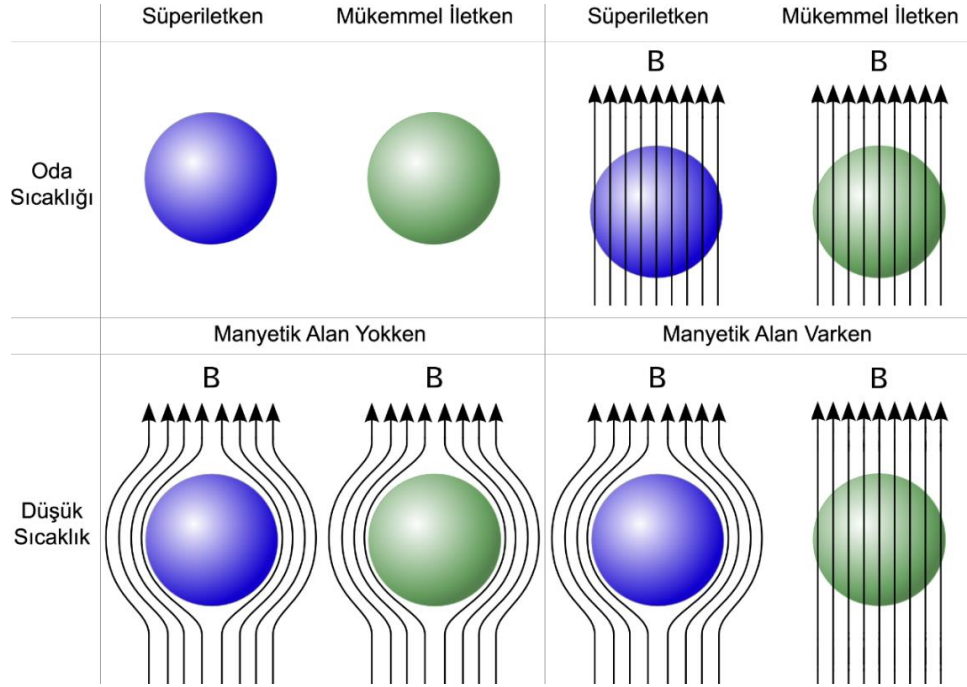
Süperiletkenliğin keşfi sürecinde James Dewar'ın yapmış olduğu, elektriksel direncin sıcaklığa bağlı olarak incelediği çalışmalar başlangıç olarak sayılabilir. Bu araştırmalar 1880'lerde Zygmunt Florenty Wroblewski ve Karol Olszewski tarafından devam etmiş olup, 1908 yılında Heike Kamerlingh Onnes'un Leiden Üniversitesi'nde helyumu sıvılaştırması ve 4 Kelvin (-269 °C) sıcaklığa ulaşması ile önemli bir noktaya ulaşmıştır [2].

Onnes bu başarısının ardından çalışmalarına yüksek saflıktaki Platin ve Altın gibi metallerin düşük sıcaklıktaki özelliklerini araştırarak devam etmiştir. 1911'de Cıva üzerinde yaptığı deneylerde direncin ölçülemeyecek kadar küçük bir değere düştüğünü gözlemleyen Onnes bu durumu "süperiletkenlik" olarak adlandırmıştır [3]. Cıva için Onnes tarafından ölçülen sıcaklık – direnç eğrisi Şekil 1.2'de verilmiştir. Onnes yaptığı araştırmalar ile 1913 yılında Nobel ödülü kazanmıştır.



Şekil 1.2 – İlk süperiletken olarak keşfedilen Cıvanın sıcaklık – direnç eğrisi [3].

1933 yılında Walther Meissner ve Robert Ochsenfeld süperiletkenlerin mükemmel diamanyetizma özelliği gösterdiğini bulmuşlardır [4]. Bu etkiye Meissner etkisi de denir. Diamanyetiklik mükemmel iletkenlerin de bir özelliğidir. Ancak süperiletkenler her durumda mükemmel diamanyetik özellik gösterirken, mükemmel iletkenler başlangıç şartlarına bağlı olarak diamanyetik özellik gösterir [5]. Başlangıçta manyetik alan yokken soğutulan bir mükemmel iletken manyetik alanı dışarlarken, alan altında soğutulduğunda manyetik alanı geçirmektedir. Oluşan durumlar Şekil 1.3'de gösterilmiştir.



Şekil 1.3 – Süperiletken ve mükemmel iletkenlerin manyetik alana göre oda sıcaklığında ve düşük sıcaklıktaki durumları [5].

Meissner etkisini açıklamak amacıyla yapılmış olan, ilk teorik çalışma 1935 yılında Fritz ve Heinz London kardeşler tarafından yayınlanmıştır. Bu çalışma süperiletkenliğin elektromanyetik davranışının Maxwell denklemleri ile açıklanamaması üzerine ortaya çıkmıştır. London teorisi Meissner etkisinin süperiletkenin yüzeyinde dolaşan akımların oluşturduğu bir manyetik etki ile olduğunu söyler ve süperiletkende oluşan manyetik ve elektrik alan için birer eşitlik önerir. Böylece yığın halindeki saf bir süperiletkende ve üzerinden akım geçen bir telde oluşan mükemmel diamanyetizma özelliğini açıklanabilmiştir. London kardeşler

ayrıca süperiletken bir malzemeye nüfuz eden manyetik alan miktarını, London nüfuz derinliğini (λ), tanımlamışlardır.

1950 yılında ise Ginzburg ve Landau süperiletkenliğe kuantum mekaniksel bir yaklaşım uygulayarak uyum uzunluğu parametresini (ξ) elde etmişlerdir [6]. London nüfuz derinliğinin uyum uzunluğuna oranına Ginzburg-Landau parametresi (κ) denir ve bu parametrenin değerine göre bir süperiletkenin tipi belirlenebilir. Bu parametre Tip II süperiletkenlerin keşfinden önce süperiletkenlerin iki tipte olabileceğini gösterdiği için önemlidir.

Süperiletkenlik ile ilgili en önemli teorik çalışmalardan biri 1957 yılında John Bardeen, Leon Cooper ve John R. Schrieffer tarafından yayınlanmıştır. Araştırmacıların soyadlarının baş harflerinden oluşan, BCS teorisi olarak bilinen bu çalışma süperiletkenlerin mikroskobik özellikleri üzerine yapılan ilk çalışmadır. BCS teorisi süperiletken içerisinde “süper akım” olarak adlandırılan akımın “Cooper çiftleri” adı verilen elektron çiftleri ile taşındığını, normal durum ile süperiletken durum arasında bir enerji farkı olduğunu ve süperiletkenliğe geçişin ikinci dereceden bir faz geçişi olduğu söylemektedir. Bu teori ile Bardeen, Cooper ve Schrieffer 1972 yılında Nobel ödülü kazanmışlardır.

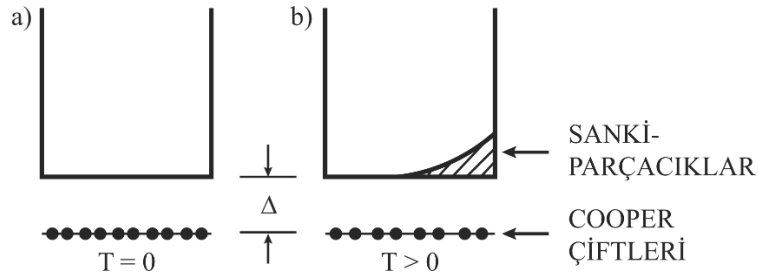
Süperiletkenlerin elektronik uygulamaları açısından önemli bir teorik çalışma ise 1962 yılında Brian D. Josephson tarafından yayınlanmıştır. Josephson temel olarak ince bir yalıtkan ile ayrılmış iki süperiletken için tünelleyen elektronların oluşturacağı akım, gerilim ve faz ilişkisini hesaplamıştır. Bu çalışma süperiletkenlerin kuantum özelliklerinin makroskobik boyutta gözlenebileceğini gösterdiği için oldukça önemli bir çalışmadır. Bu sayede kuantum ilkelerine göre çalışan, günümüzde birçok alanda uygulaması olan elektronik cihazların yapılabilmesi mümkün hale gelmiştir. Josephson yapmış olduğu çalışmalar ile 1973 yılında Nobel ödülüne layık görülmüştür.

1986 yılına kadar süperiletkenler metal element tabanlı olarak üretilmekte, teorik olarak ise en fazla 30 Kelvin sıcaklığında olabileceği düşünülmekteydi. Ancak J. Georg Bednorz ve K. Alex Müller aslında seramik olan Baryum (Ba), Lantan (La), Bakır (Cu) ve Oksijen (O) elementlerinden oluşan ve 35 Kelvin geçiş sıcaklığına sahip

ilk yüksek sıcaklık (Tip II) süperiletkeni keşfederek teorik düşünceleri geçmiş, bu sayede 1987 yılında Nobel ödülünü kazanmışlardır. Bu keşfin ardından özellikle Japonya ve Amerika'da çeşitli gruplar yüksek sıcaklık süperiletkenleri üzerine çalışmalara başlamıştır. Yüksek sıcaklık süperiletkenleri ile ilgili diğer bir önemli başarı ise 1987 yılında Ching-Wu Chu tarafından Lantan elementinin İtriyum ile değiştirilmesi sonucu keşfedilen, YBCO ($YBa_2Cu_3O_{7-x}$) olarak bilinen ve 92 Kelvin geçiş sıcaklığına sahip olan süperiletken bir malzemenin bulunmasıdır. Bu malzeme kolaylıkla elde edilebilen sıvı azot sıcaklığından (77 K) daha yüksek sıcaklıkta süperiletken olabildiği için çeşitli süperiletken uygulamalarda tercih edilmektedir.

1.2. Süperiletkenlerde Enerji Seviyeleri

Bir süperiletkende enerji durumları incelendiğinde, mutlak sıfır sıcaklıkta (Şekil 1.4a) uyarılmış durumda hiçbir elektron olmadığı, bütün elektronların Cooper çiftleri oluşturması ile sıfır spine sahip olduğu ve bozonlar gibi davranarak aynı enerji seviyesine yerleştiği kabul edilir [1]. Süperiletken durum ile iletim bandı arasında, yasak enerji aralığı olarak tanımlanan, $E_g = \Delta$ 'lık (gap energy) enerji aralığı vardır. Bir süperiletken içerisinde akım Cooper çiftleri tarafından taşındığından, çift içerisindeki bir elektronun bağlanma enerjisi $\Delta = \frac{1}{2} E_g$ olarak tanımlanır. Sıcaklığın artmasıyla bazı elektronlar Cooper çifti bağı kırarak serbest elektronlar gibi davranmaktadırlar (Şekil 1.4b). Serbest elektron gibi davranan elektronlara sanki-parçacık (quasi-particle) denir.



Şekil 1.4 – Bose-Einstein yoğuşması durumundaki Cooper çiftlerinin gösterimi. a) $T = 0$ ve b) $T > 0$ durumunda süperelektronların ve iletim durumundaki elektronların enerji seviyeleri [1].

Yarı iletken bir malzeme içerisindeki elektronlar Pauli prensibi nedeniyle aynı seviyede bulunamazlar. Ancak bir süperiletken içerisindeki bütün elektronlar Cooper

çiftleri oluşturdukları için spin toplamları tamdır ve Bose-Einstein istatistiğine uyan bozonlar gibi davranırlar. Dolayısıyla Cooper çiftleri aynı enerji seviyesinde bulunabilirler. Bu durumuna Bose-Einstein yoğuşması denir. Bose-Einstein yoğuşması tanım olarak, tek bir dalga denklemi ile temsil edilebilen özdeş atom grubu olarak tanımlanır. Bu tanıma uyan atomlar üç boyutlu uzayda aynı salınımları sergiler [7]. Bozonlar Pauli dışlama ilkesine uymazlar ve hepsi aynı enerji seviyesini işgal edebilirler.

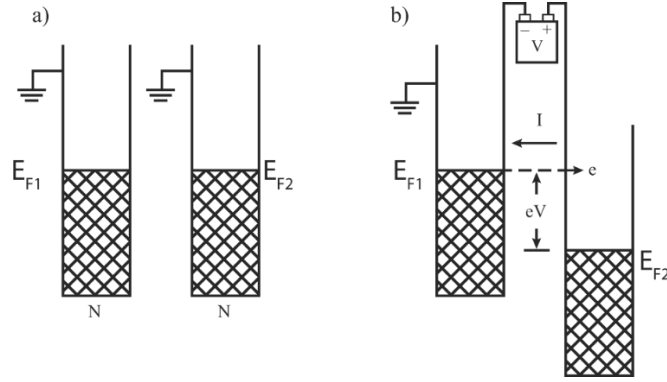
1.3. Tünelleme

Tünelleme, klasik fiziksel hesaplamalara göre bir engeli aşmak için yeterli enerjisi olmayan bir parçacığın, kuantum mekaniği ilkelerine göre engelin içinden geçmesidir. Tünelleme olayı maddenin dalga-parçacık ikileminden ve Heisenberg belirsizliğinden dolayı olabilmektedir [8]. Tünellemenin gerçekleşmesi için üç şart bulunmaktadır. Bunlar:

- Tünelleyecek elektronun izlediği yolda doğrudan geçişi önleyecek bir bariyer olmalıdır.
- Tünelleme sırasında enerji korunmalıdır. İki elektronun tünellemesi durumunda bir elektronun kaybettiği enerjiyi, diğeri kazanmaktadır.
- Pauli dışlama ilkesinin ihmal edilmemesi için elektronların varış noktasında boş enerji seviyesi bulunmalıdır.

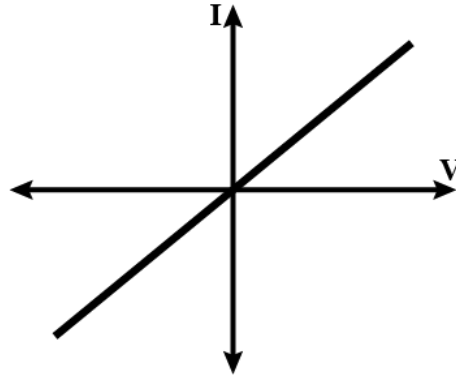
1.3.1. Metallerde Tünelleme

İnce bir yalıtkan ile ayrılmış özdeş iki metalin enerji seviyeleri aynıdır. Dolayısıyla bir tünelleme meydana gelmez. Ancak metallere herhangi birine pozitif bir gerilim (V) uygulanırsa iki metal arasında $+V$ 'lik bir potansiyel fark oluşur ve tünelleme akımı gözlenir. Tünelleyen elektronlar pozitif gerilime sahip olan metale doğru akar, akım ters yönde akar. Oluşan durumlar Şekil 1.5'de gösterilmiştir.



Şekil 1.5 – İki metal için enerji seviyeleri. a) Potansiyel fark yokken b) $+V$ 'lik potansiyel fark uygulandığında [1].

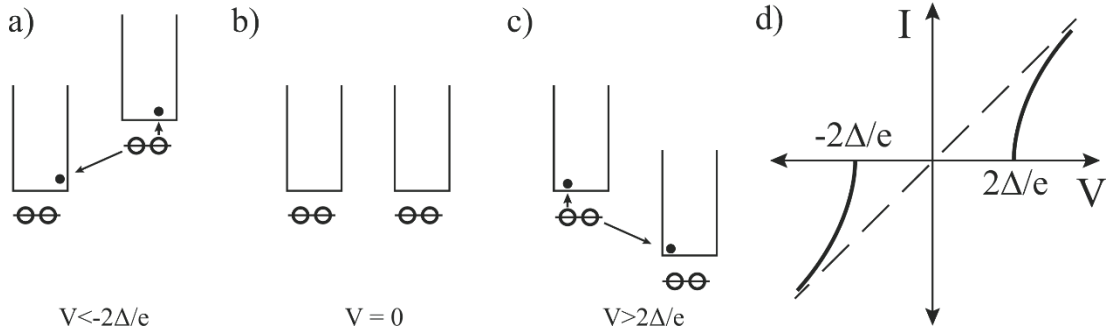
İnce bir bariyer ile ayrılmış bir çift metalde oluşan tünelleme akım-gerilim karakteristiği Şekil 1.6'da görüldüğü gibi doğrusaldır.



Şekil 1.6 – Bir metalin akım-gerilim karakteristiği.

1.3.2. Süperiletkenlerde Tünelleme

Josephson'un keşfettiği durum olan, ince yalıtkan bir malzemeyle ayrılmış iki süperiletkende (S-I-S) oluşan tünelleme olayı ise Bose-Einstein yoğuşması gösterimi ile açıklanabilir. Oluşan süperiletken eklem uçları arasında bir gerilim uygulandığında, enerji farkından ötürü taban durumundaki elektronlar enerji seviyesi düşük olan bölgeye doğru tünellemeye başlar ve sanki-parçacık durumuna geçerler. Uygulanan gerilim değeri ise tünellemenin ve akımın yönünü belirler. Olası durumlar Bose-Einstein yoğuşması gösterimi ile Şekil 1.7'de verilmiştir.



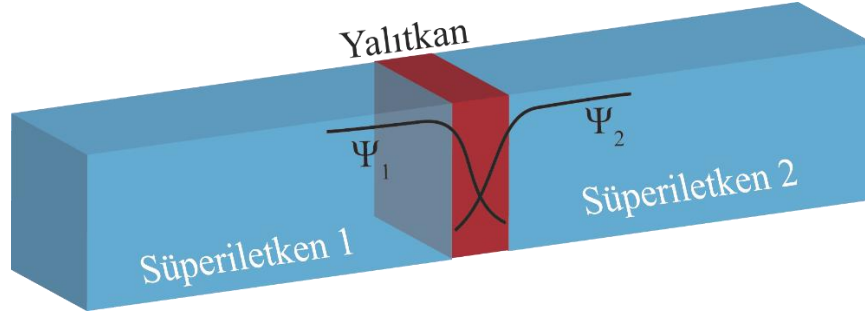
Şekil 1.7 – S-I-S bir malzemede tünellemenin Bose-Einstein yoğunlaşması gösterimi. a) $V < -\frac{2\Delta}{e}$ durumu b) $V = 0$ durumu c) $V > \frac{2\Delta}{e}$ durumu d) Akım-gerilim karakteristiği [1].

Burada dikkat edilmesi gereken bir diğer durum ise, gerilim $\pm 2\Delta/e$ değerine ulaştığında akım değeri hızla artarak süperiletkenliğin bozulmasına, malzemenin normal duruma geçmesine ve metal karakteristiği göstermesine sebep olur.

1.4. Josephson Etkisi

Süperiletken malzemelerde tünelleme olayı Josephson etkisi olarak bilinir. Josephson teorisi ince bir yalıtkanla ayrılmış iki süperiletkende oluşan histeretik akım-gerilim karakteristiğini kuantum fiziği prensiplerine göre açıklar. Josephson bu teoriyi tünelleyen parçacıklarının durumlarını inceleyen “Tunneling Hamiltonian” metodunu uygulayarak oluşturmuştur [9].

Josephson birkaç nanometre kalınlığındaki bir bariyer ile birbirinden ayrılmış iki süperiletkenden (Josephson eklemi) geçen akımı hesaplamıştır ve bu hesaplama sonucunda oluşan akımın sadece serbest elektronların tünellemesinden değil, aynı zamanda süperelektronların da tünellemesi ile oluşturduğunu bulmuştur. Josephson eklemi uçlarına hiçbir gerilim uygulanmazken akan akım DC Josephson etkisi olarak bilinmektedir. Tünel bariyerine bir potansiyel uygulandığında ise serbest elektronların akmasından dolayı oluşan DC akıma ek olarak bir alternatif (AC) süperakımın oluşacağını bulmuştur. Bu etkiye AC Josephson etkisi denir.



Şekil 1.8 – Bir Josephson eklemine oluşan tünelleme.

Şekil 1.8’de görüldüğü gibi özdeş iki süperiletken ve bir yalıtkindan oluşan bir Josephson eklemine akım Feynman yaklaşımı ile hesaplanabilir [10], [11]. Bu yöntem ile hesaplanan çözümlerden elde edilen DC ve AC Josephson etkileri eşitlikleri aşağıda verildiği gibidir.

$$I = I_c \sin \Phi \quad (1)$$

(1) eşitliği DC Josephson denklemi olarak bilinir ve bir Josephson eklemi üzerinden akan akım miktarının iki süperiletken içerisinde ilerleyen elektronların dalga denklemleri arasındaki faz farkına (Φ) bağlı olduğunu gösterir. Bu eşitlikte I_c süperiletkenliği bozulmadan eklem taşıyabileceği kritik akım miktarıdır.

$$\frac{\partial \Phi}{\partial t} = -\frac{2eV}{\hbar} \quad (2)$$

(2) eşitliği ise AC Josephson denklemi olarak bilinir ve süperiletken uçlarına uygulanan bir gerilimin faz farkında bir değişime yol açacağını söyler. Burada e bir elektronun yükü, \hbar indirgenmiş Planck sabiti ve V eklem uçlarına uygulanan gerilim değeridir.

Ek olarak AC Josephson denkleminin integrali alınarak (4) eşitliği bulunabilir.

$$\Phi(t) = \Phi(0) - \frac{2e}{h} \int V dt \quad (3)$$

$$\Phi(t) = \Phi(0) - \frac{2e}{h} V_0 t \quad (4)$$

Bulunan deęer DC Josephson denkleminde (1) yerine yazılırsa (5) eřitlięi bulunur.

$$J = J_0 \sin\left(\Phi(0) - \frac{2e}{h} V_0 t\right) \quad (5)$$

Dikkat edilirse akım, (6) ile verilen frekans ile salınım yapar.

$$\omega_0 = \frac{2e}{h} V_0 \quad (6)$$

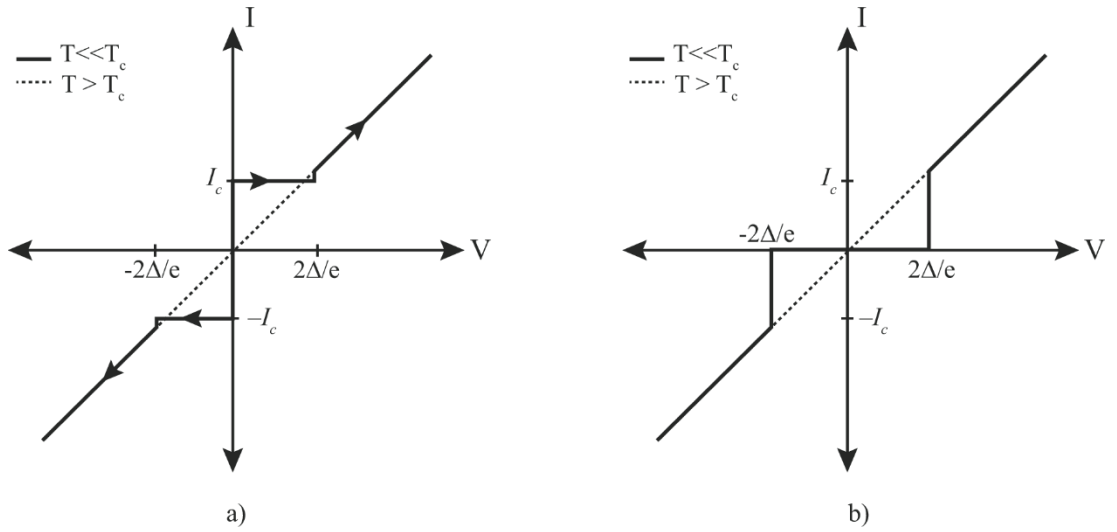
Bu frekansa Josephson frekansı da denir. Burada $2e/h$ deęeri sabittir. Dolayısıyla oluřan akımın salınım frekansı doęrudan uygulanan gerilim ile orantılıdır ve uygulanan gerilim bařına oluřan salınım frekansı ařaęıdaki řekilde hesaplanabilir.

$$\frac{f}{V} = \frac{\omega}{2\pi} = \frac{1}{\Phi_0} \approx 483.597898 \frac{Ghz}{mV} \quad (7)$$

Örnek olarak bir Josephson eklemine uygulanan 1 mV deęerindeki bir gerilim yaklařık 500 GHz'lik bir salınıma sebep olur. Josephson eklemlerinin bu özellięi kullanılarak THz kaynakları [12]–[14], voltaj standartları [15]–[19] gibi çeřitli uygulamalar geliřtirilmektedir.

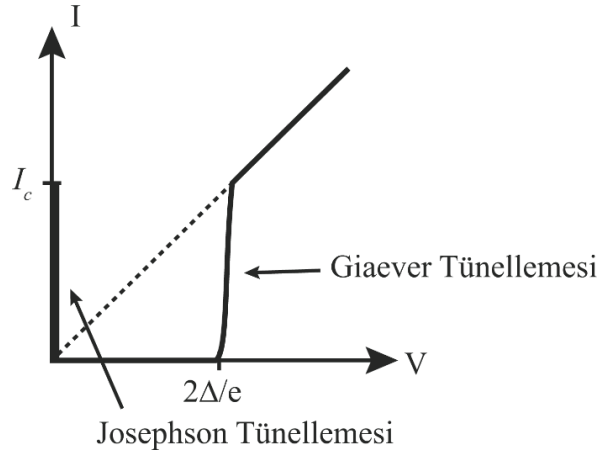
1.4.1. Josephson Ekleminin Akım – Gerilim Karakteristiği

S-I-S yapıdaki bir Josephson ekleminin akım – gerilim karakteristiği Şekil 1.9'daki gibidir [20]. Gerilim olmayan durumda, sadece akım beslemesi sonucu Şekil 1.9a'da görülen grafik elde edilir. Bu sonuç DC Josephson etkisinin beklendik bir sonucudur. Benzer şekilde akım yerine sadece gerilim beslemesi yapılırsa, Şekil 1.9b elde edilir. İki süperiletken arasında bir potansiyel fark olması ile tünelleyen sanki-parçacıklar düşük bir akım oluşturur.



Şekil 1.9 – Josephson ekleminin akım – gerilim grafiği. a) Akım beslemesi durumu b) Gerilim beslemesi durumu [20].

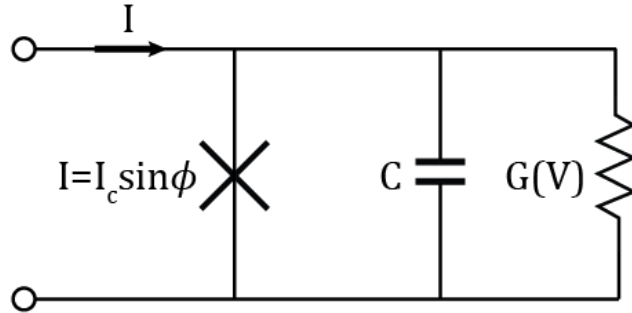
Gerilim seviyesi $2\Delta/e$ seviyesine ulaştığında ise süperelektronlar normal duruma tünellemektedir. Bu olaya Giaever tünellemesi denir [21]. Josephson ve Giaever tünellemeleri Şekil 1.10'da gösterildiği gibidir.



Şekil 1.10 – Giaever ve Josephson tünellemeleri [20].

1.4.2. Eşdeğer Devre Modeli (RCSJ Modeli)

Josephson eklemi, iki süperiletken plaka arasında bulunan bir yalıtkan malzemeden oluşmaktadır. Bu haliyle bir kapasitör (C) gibidir. Ayrıca arada bulunan yalıtkanın çok ince olmasından dolayı gerilime bağlı olarak direnç gösteren bir iletkenliği ($G(V)$) vardır. Dolayısıyla bir Josephson eklemi Şekil 1.11’deki gibi modellenebilir [1].



Şekil 1.11 – Josephson eklemi eşdeğer devresi [1].

Bu devre için Kirchoff denklemleri uygulanırsa (8) eşitliği yazılabilir.

$$I = I_c \sin \phi + C \frac{dV}{dt} + GV \quad (8)$$

Burada G iletkenlik terimidir ve $G = 1/R$ olarak tanımlanır. AC Josephson denkleminde bulunan gerilim değeri burada yerine yazıldığında (9) eşitliği elde edilir.

$$I = I_c \sin \phi + \frac{\hbar C}{2e} \frac{d^2 \phi}{dt^2} + \frac{\hbar G}{2e} \frac{d\phi}{dt} \quad (9)$$

Bu eşitlik I_c ile bölünüp, zaman parametresinde aşağıdaki gibi bir değişken değişimi yapılırsa daha basit bir şekilde gösterilebilir.

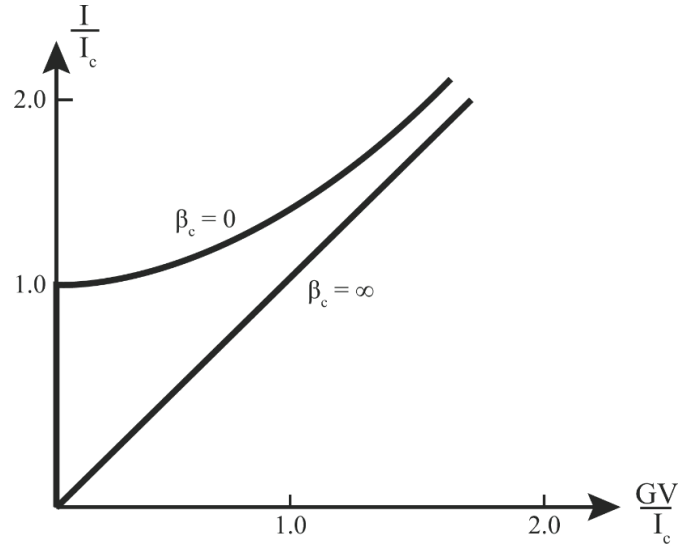
$$\theta \triangleq \omega_c t \triangleq \frac{2e}{\hbar} \frac{I_c}{G} t \quad (10)$$

$$\frac{I}{I_c} = \beta_c \frac{d^2 \phi}{d\theta^2} + \frac{d\phi}{d\theta} + \sin \phi \quad (11)$$

Burada β_c McCumber parametresi olarak adlandırılır ve (12) eşitliğinde verildiği değere sahiptir.

$$\beta_c = \frac{2e}{\hbar} \frac{I_c C}{G G} \quad (12)$$

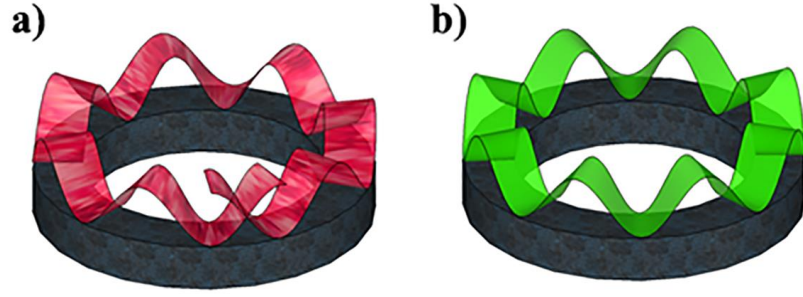
McCumber parametresinin farklı değerlerine göre Josephson eklemının akım – gerilim karakteristiği farklılıklar göstermektedir. Limit durumlar için kritik akım değerine göre normalize edilmiş akım – gerilim grafiği Şekil 1.12'deki gibidir.



Şekil 1.12 – McCumber parametresi ile akım – gerilim grafiği arasındaki ilişki [1].

1.5. Akı Kuantizasyonu

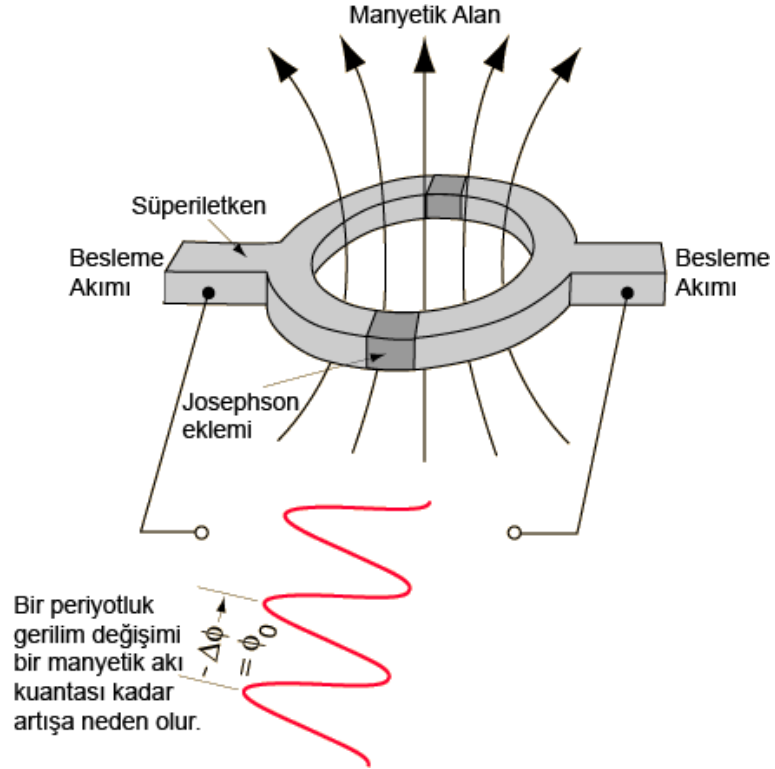
Bir süperiletkendeki bütün elektronların aynı enerji seviyesini işgal ederek aynı dalga fonksiyonu ile temsil edilebileceği kısım 1.3.2’de açıklanmıştı. Bu sonuçtan hareketle, süperiletken bir halka içerisinde ilerleyen elektronların hareketi incelendiğinde, dalga fonksiyonunun her faz değerini alamayacağı görülür. Bu etki basit olarak, halka içinde tam bir tur yapan elektronların başlangıç noktasına ulaştığında harekete ilk başladığı konuma gelmesi gerekliliğindedir. Aksi takdirde salınım yapan diğer elektronlardan farklı bir fazda salınım olması anlamına gelir. Halka içerisindeki manyetik akının belirli değerler almasına akı kuantizasyonu denir ve bu değer manyetik akı kuantasının tam katları şeklinde olmak zorundadır. Dışarıdan uygulanan manyetik alan şiddetine göre faz manyetik akı kuantasının tam katları olacak şekilde değişir. Halka içerisindeki elektronların salınım durumları Şekil 1.13’de örneklendirilmiştir [22].



Şekil 1.13 – Süperiletken bir halka üzerindeki salınımların temsili gösterimi. a) Kuantize olmayan yasaklı durum. b) Kuantize durum [22].

1.6. Süperiletken Kuantum Girişim Cihazı (SQUID)

Süperiletken kuantum girişim cihazı (SQUID) süperiletken bir halka üzerinde simetrik olarak yerleştirilmiş iki adet Josephson ekleminden oluşan ve akı kuantizasyonu ilkesine dayanarak çalışan bir manyetik alan algılayıcısıdır. SQUID'ler ile 10^{-14} Tesla seviyesindeki manyetik alan değerleri dahi okunabilmektedir. Böylelikle, beyin dalgalarının oluşturmuş olduğu manyetik alan etkileri ölçülebilmektedir [23].

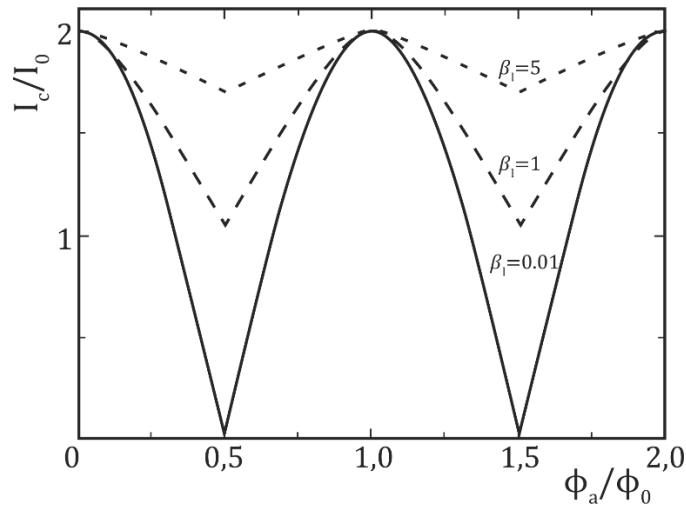


Şekil 1.14 – Süperiletken kuantum girişim cihazının şematik gösterimi [24].

Şekil 1.14 ile verilen SQUID devresine uçlarından bir besleme akımı uygulanır. İki kolda bulunan simetrik Josephson eklemleri nedeniyle halkanın taşıyabileceği akım miktarı, eklemlerin kritik akım değerlerinin toplamı ile sınırlıdır. Halkaya uygulanan bir manyetik akı, yönüne bağlı olarak halka üzerinde bir akım oluşturur. Oluşan bu akım, kritik akım değerini manyetik akı kuantumu periyodu ile kipler. Bu olay iki kolda bulunan Josephson eklemleri üzerinden akan elektronların dalga fonksiyonlarının girişiminden kaynaklanmaktadır. Böylece manyetik akı kuantasının tam katları kadarlık akı halka içerisinde depolanır. Depolanan akımın miktarı manyetik alan şiddeti ile doğru orantılıdır.

$$\beta_l = 2\pi \frac{LI_c}{\Phi_0} \quad (13)$$

SQUID devresinin yapısını belirleyen iki önemli parametre vardır. Bunlar McCumber parametresi (β_c) ve (13) ile verilen β_l (screening parameter) parametresidir. β_c parametresi kullanılan Josephson eklemlerinin akım – gerilim karakteristiğini belirlerken, β_l parametresi halkanın davranışını belirler ve oluşan akımın kipini etkiler. Farklı β_l parametrelerine sahip SQUID devrelerinin uygulanan manyetik alan şiddetine göre taşıyabileceği kritik akım değerleri Şekil 1.15’de gösterilmiştir.



Şekil 1.15 – SQUID devresinin farklı β_l parametrelerine göre uygulanan manyetik alanın taşınabilecek kritik akıma etkisi.

SQUID devresinin çıktısı doğrudan ölçülebileceği gibi, Josephson eklemlerine paralel şönt dirençleri bağlanması ile histeretik olmayan akım – gerilim karakteristiği üzerinden de bulunabilir. Bu durumda SQUID devresi kritik akım değerinden daha düşük bir akım değeri ile beslenerek, eklem uçları arasındaki gerilim okunabilir. Halkaya uygulanan manyetik akı SQUID üzerinde dolanan akımı değiştirecektir. Oluşan akım, manyetik akının yönü ve şiddeti ile ilişkilidir. Böylece SQUID üzerindeki akım değeri azami değerde iken gerilim değeri en az, akım asgari değerde iken gerilim değeri en çok değerde olmaktadır. SQUID devresi bu haliyle akı – gerilim dönüştürücüsü gibi davranmaktadır. SQUID devresinin hassasiyetini arttırmak için gerilim değeri azami miktarda olacak şekilde bir akım değeri tercih edilebilir.

SQUID’ler manyetik akım algılayıcısı olarak kullanıldığı gibi, mantık devrelerinde de hafıza birimleri olarak kullanılabilir. SQUID içerisinde dolanan akımın yönüne bakılarak, sayısal “1” veya “0” değerleri elde edilmektedir.

1.7. Tek Akı Kuantumu (SFQ) Devreleri

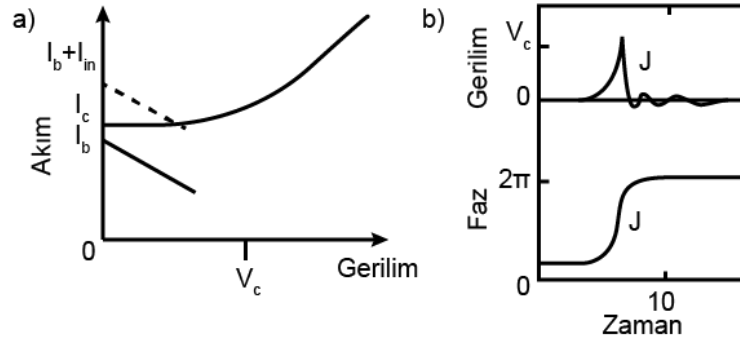
Tek akı kuantumu (Single Flux Quantum – SFQ) devreleri aktif eleman olarak Josephson eklemleri ve iletim için süperiletken katmanlar kullanan sayısal ve/veya analog devrelerdir. Bilgi, Josephson eklemleri tarafından üretilen, gerilim darbeleri olarak iletilir. Her bir darbenin alanı manyetik akı kuantası kadardır ve bu değer (14) ile hesaplanabilir.

$$\int V(t)dt = \Phi_0 \equiv \frac{h}{2e} \approx 2.07 \text{ mV} \times \text{ps} \quad (14)$$

Bir süperiletken içerisinde bilgi Cooper çiftleri olarak ilerleyen elektronlar ile taşınır. Bu elektronlar hiçbir direnç ile karşılaşmazlar ve sıcaklık mutlak sifıra yaklaştıkça hızları ışık hızına ulaşır [25]. Aktif eleman olarak kullanılan Josephson eklemlerinden geçerken ise birkaç pikosaniye içerisinde aktarılırlar. Bu sayede SFQ devreleri oldukça hızlı çalışabilmektedir.

SFQ devrelerinde kullanılan Josephson eklemleri genellikle $\beta_c = 1$ olacak şekilde paralel bağlı bir şönt direnci ile birlikte kullanılır. Böylece Josephson eklemının histeretik akım – gerilim karakteristiği oluşmaz [25]. Uygulanan bir gerilim darbesi Josephson eklemi üzerinden tünellerken eklemının taşıdığı akımın kritik değeri aşmasına ve normal duruma geçmesine neden olur. Bu sırada eklemının direncinin artması nedeniyle akımın büyük bir çoğunluğu paralel bağlı olan şönt direnci üzerinden akar. Oluşan gerilim eklem içerisinde 2π 'lik faz değişimine yol açar. Bu sırada yeni bir gerilim darbesi üretilir. Bu olaya anahtarlama denir.

Ek olarak, Josephson eklemleri taşıyabilecekleri kritik akım değerinin altında bir besleme akımı (bias, I_b) ile beslenir. Besleme akımının kritik değere yakın olması ile daha hızlı anahtarlama elde edilirken, daha düşük olması ile gürültü sinyali nedeniyle anahtarlama olması engellenir. Anahtarlama yapan bir Josephson eklemının akım – gerilim ve gerilim – faz ilişkileri temsili olarak Şekil 1.16'da gösterilmiştir.



Şekil 1.16 – SFQ devrelerinde kullanılan bir Josephson eklemının anahtarlama durumunda a) akım – gerilim ve b) zamana göre faz ve gerilim grafikleri [25].

Anahtarlama sırasında oluşan gerilimin değeri düşük sıcaklık süperiletkenleri için yaklaşık 3 mV'a karşılık gelmektedir. Dolayısıyla bir Josephson eklemi sürekli açık durumda olsa bile bir mikroWatt'dan daha az enerji harcar. Ek olarak bir Josephson eklemının durağan enerji tüketimi yoktur. SFQ devrelerinde sadece bulunan dirençler üzerinde durağan enerji harcanır. Durağan enerjinin daha da azaltılması için çeşitli çalışmalar yapılmaktadır [26] – [29]. Bu özellikleri sayesinde süperiletken devreler oldukça düşük enerji tüketimi ile çalışır.

Günümüzde süperiletken devreler yüksek sıcaklık malzemeleri veya Niyobyum Nitrür (NbN) gibi çeşitli süperiletken malzemelerden üretilebilmektedir. Ancak bu malzemelerin yapısından ve üretim zorluklarından ötürü üretilen devreler birkaç Josephson ekleminden fazla olamamaktadır. Büyük sayılarda Josephson eklemlerinden oluşan SFQ devreleri için Niyobyum/Alüminyum Oksit (Nb/AlO_x) tabanlı, çok katmanlı üretim teknikleri tercih edilmektedir [30]. Üretilen devreler Nb süperiletkenin kritik sıcaklığının yaklaşık olarak yarısına denk gelen 4,2 Kelvin sıcaklıkta çalıştırılmaktadır.

2. TEMEL SFQ HÜCRELERİ

SFQ devreleri temel olarak Josephson eklemeleri, dirençler ve endüktanslar ile oluşturulmaktadır. Kullanılan devre elemanlarından özellikle Josephson eklemelerinin sayısı, yapısı ve birbirine göre bağlantı şekilleri devrenin çalışma prensibini belirlemektedir. Bu sayede farklı durumlar üretebilen mantık devreleri veya farklı iletim devreleri üretilebilmektedir. Belirli bir işlemi yapan, doğruluk çizelgesi (truth table) bilinen SFQ devrelerine “hücre” (cell) denir. Tasarlanan hücrelerin aşağıdaki özelliklere sahip olması pratik olarak faydalı olmaktadır [31].

- Yüksek çıkış yelpazesi (fan out): bir hücrenin kendini takip eden birden fazla ardışık hücreyi tetikleyebilmesi,
- Yüksek çalışma aralığı,
- Küçük ölçekli olma, çok büyük çapta tümleşim (VLSI) için uygunluk,
- Kısa anahtarlama süresi, yüksek saat frekansı ile çalışabilirlik,
- Düşük enerji tüketimi, çok sayıda kullanılabilirlik,
- Uygun girdi – çıktı yapısı ile sinyallerin yönlendirilmesi

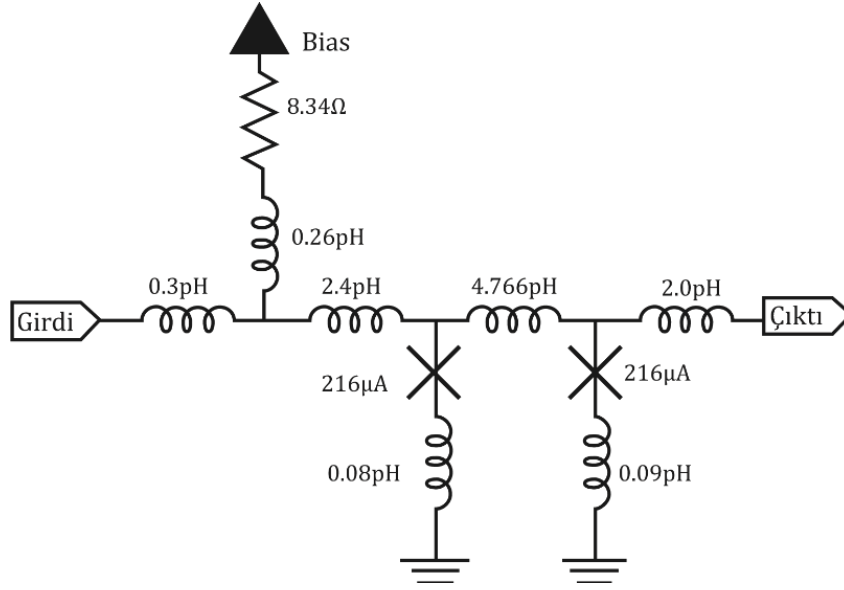
Bu özelliklere sahip hücreler tasarlanarak bir devre kütüphanesi oluşturulup, aynı kütüphaneden farklı türden hücrelerin bir araya getirilmesi ile büyük ölçekli devreler kolaylıkla tasarlanabilmektedir. Bu sayede, hem devrelerin analizi kolaylaşmakta, hem de oluşan hatanın yeri rahatlıkla tespit edilebilmektedir. Bu bölümde SFQ devrelerinde kullanılan temel hücreler şematik olarak gösterilmiş ve özellikleri açıklanmıştır. Bu çalışmada kullanılan devreler CONNECT devre kütüphanesinden [32] alınmıştır.

SFQ devreleri genellikle Niyobyum, Alüminyum Oksit ve direnç olarak Molibden kullanılarak üretilmektedir [30]. Üretim sırasındaki sınırlardan ötürü tasarımcı da çeşitli sınırlamalara tabidir. Bu sınırlamalar üretim koşullarına bağlı olarak değişebilmektedir. Örneğin üretilmek istenen bir Josephson eklemesinin taşıyabileceği kritik akım değeri, eklemesinin yüzey alanı ile doğru orantılıdır. Benzer durum endüktans ve dirençler için en – boy oranı ile belirlenmektedir. En – boy oranı sabit bir direnç veya endüktans elemanının değeri alanından bağımsızdır.

2.1.1. Josephson İletim Hattı (JTL)

Josephson iletim hattı küçük bir endüktans ile birbirine bağlı iki adet Josephson ekleminden oluşan, en basit devrelerden birisidir. Bu devre üzerinden sinyaller aktif olarak iletilir. Aktarılan sinyal eklem üzerinde yeniden üretildiğinden, bozulan darbe sinyallerini onarma özelliği vardır. JTL devresinin şematik gösterimi Şekil 2.1’de verilmiştir.

Girdi noktasından hücreye gelen darbe sinyali soldan sağa doğru iki adet Josephson eklemi üzerinden geçerek çıktıya ulaşır. Dikkat edilirse JTL devresi simetrik bir yapıya sahiptir. Bu nedenden ötürü ters yönde de iletim sağlayabilir. Bu iletim 2,5 mV’luk besleme gerilimi uygulandığında 8,2 ps sürecek şekilde tasarlanmıştır.

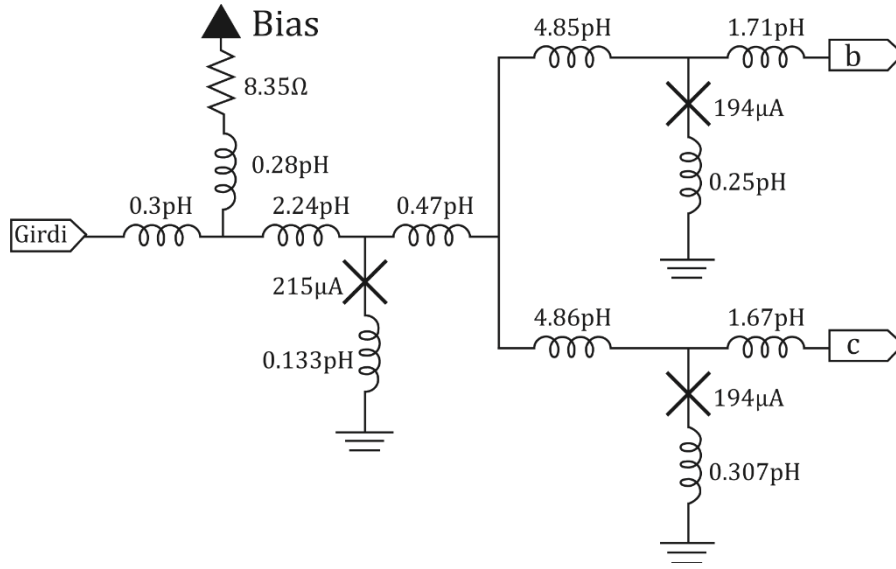


Şekil 2.1 – Josephson iletim hattı hücresi şematigi.

2.1.2. Splitter Devresi

Splitter hücresi girdi sinyalini çoğaltmak için kullanılan bir devredir. Bu devre girdi olarak aldığı bir sinyali çoğaltarak iki çıktı noktasında birer kopyasını oluşturur. SFQ sinyalleri akı kuantasından oluştuğu için doğrudan iki veya daha fazla parçaya bölünemezler. Bu işlem splitter hücresi gibi özel tasarlanmış hücreler vasıtasıyla yapılır. Bu sebepten ötürü herhangi bir SFQ hücresinden alınan çıktı yalnız bir devreye girdi olarak kullanılabilir.

Splitter hücresi yapı olarak incelendiğinde, girişinde çıkışa göre 1,1 ila 1,5 kat arası daha büyük kritik akım değerine sahip bir Josephson eklemi bulunur. Bu eklemi anahtarlayabilen sinyal özdeş çıktı yollarına dağılırarak, çıktı yolu üzerindeki eklemleri da anahtarlar [25]. Böylece çıktıda neredeyse eş zamanlı olarak iki adet sinyal elde edilir. Sinyallerin aynı anda oluşmaması üretim sınırlamalarından ve hata toleranslarından ötürü iki kolun simetrik olarak üretilememesinden kaynaklıdır. Splitter hücresinin çıktı üretmesi 2,5 mV'luk besleme gerilimi altında 10,1 ps olarak tasarlanmıştır. Şekil 2.2'de bir splitter devresinin şematik gösterimi verilmiştir.

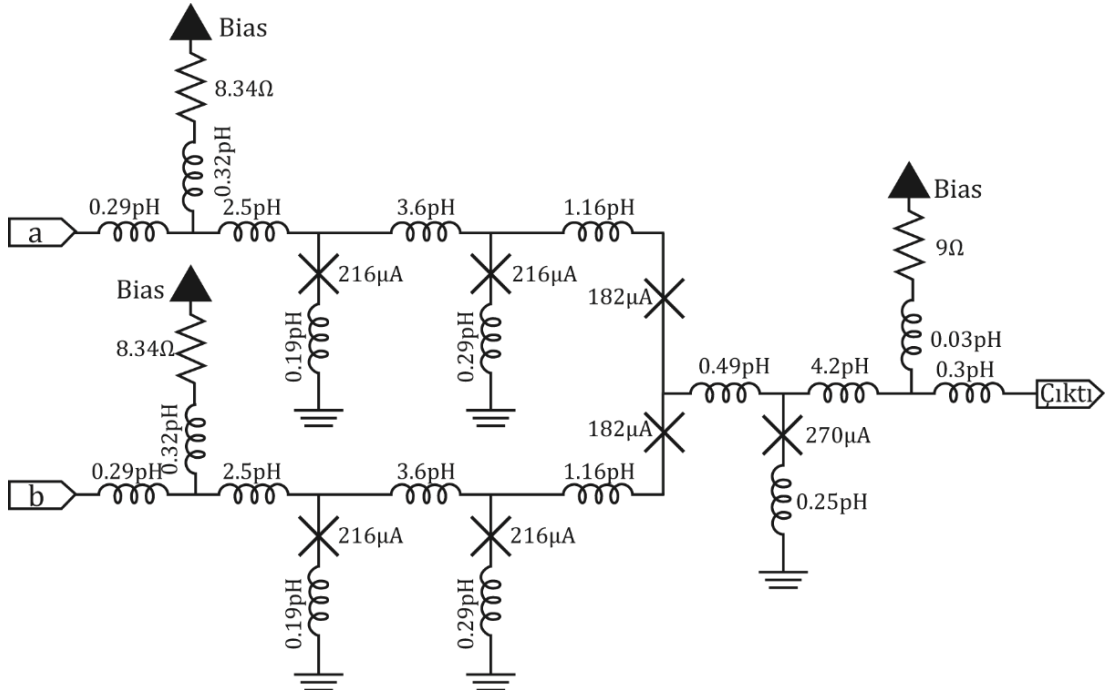


Şekil 2.2 – Splitter hücresi şematığı.

2.1.3. Merger Devresi

Merger devresi iki adet giriş noktasından gelen sinyali tek çıktı yoluna birleştiren bir hücredir. Üretilen çıktı, girişten gelen sinyalin art arda eklenmesi ile elde edilir. Girişte bulunan iki küçük eklem üzerinden farklı zamanlarda gelen akım darbeleri çıktı yolundaki 1,1 ila 1,5 kat arası daha büyük olan eklemi tetikler. Böylece herhangi bir koldan gelen sinyal çıktıya ulaşır. İki koldan aynı anda sinyal gelmesi durumunda ise bu sinyaller toplanır ve çıktıda tek bir sinyal oluşur. Ancak bu durum istenen bir özellik değildir. Bu özelliğinden ötürü merger devresinde sinyal kaybı yaşanmaması için iki sinyalin birbirine göre olan zamanlamalarına dikkat edilmelidir.

Merger devresi ek olarak giriş kısmında birer JTL devresi içermektedir. Bu JTL devrelerinde bulunan Josephson eklemleri merger devresinin girişindeki eklemlerden daha büyüktür. Böylece çıktı kısmından devreye bir darbe girmesi veya çıktının yansması durumunda girdi noktasına doğru ilerleyen bir sinyal üretilmez. Merger hücrenin şematik gösterimi Şekil 2.3’de gösterildiği gibidir. Bu devrenin 2,5 mV’luk besleme gerilimi altında çıktı üretmesi 18,2 ps olarak tasarlanmıştır.



Şekil 2.3 – Merger hücresi şematığı.

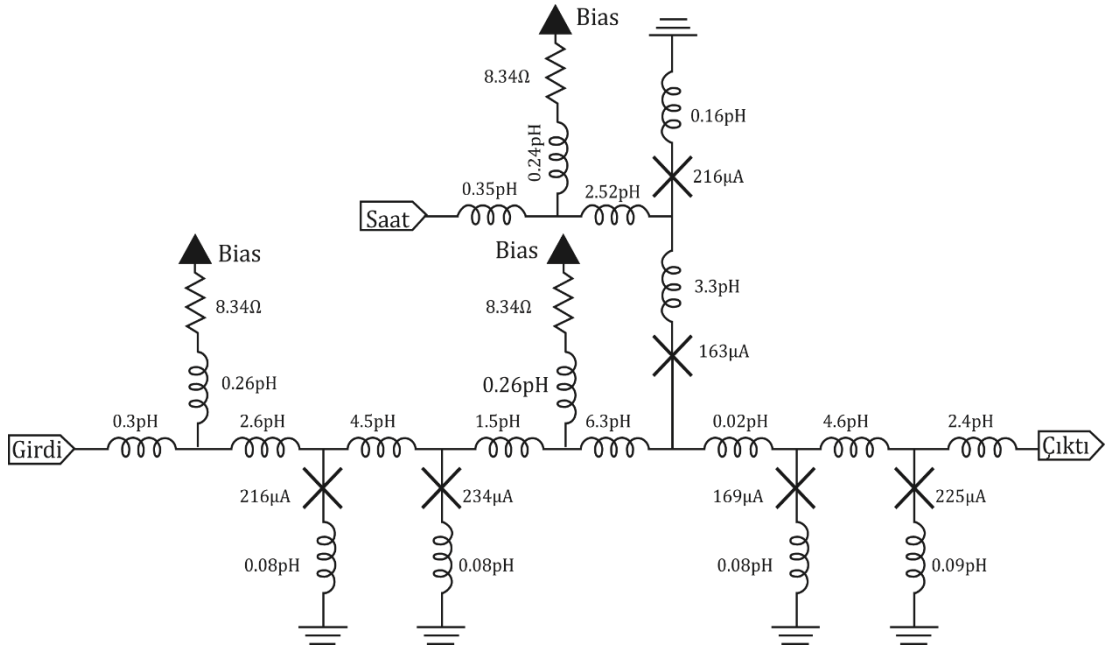
2.1.4. D-Flip-Flop (DFF) Devresi

D-flip-flop (DFF) devresi (Reset-Set (RS) flip-flop veya Destructive Read-Out (DRO) register olarak da adlandırılır) hafızası olan en temel SFQ devrelerindedir. Bir DFF içerisinde bir bitlik veri saklanabilir. DFF devresinin temel yapısı bir JTL devresine oldukça benzemektedir. Sinyal girdi kısmından girdiğinde özdeş iki eklem ve bir endüktanstan oluşan bir yapı ile karşılaşılır. Burada endüktans değeri ile eklemlerin kritik alanının oranı oluşan yapının karakteristiğini belirlemektedir. Eğer endüktans değeri (13) ile verilen eşitlikte $\beta_l \geq 10$ olacak şekilde seçilirse, bu yapı bir DC SQUID özelliği göstermektedir. Böylece gelen sinyal SQUID içerisinde bir akı kuantası olarak

saklanır. Saklanan kuantanın halka içerisinde dolanım yönü saat yönünde ise sayısal olarak “1”, tersi ise “0” değerine karşılık gelmektedir.

DFF içerisinde depolanan veriyi okumak için devreye bir saat sinyali uygulanır. Uygulanan saat sinyali girdi sinyali ile aynı yönde akıma katıldığından toplamları çıkışta bulunan eklemde bir darbe oluşturmaya yeterlidir. Böylece halka içerisindeki sinyal yok edilerek çıktı sinyali oluşturulur. “1” durumundaki bir DFF devresine tekrar bir girdi sinyali uygulanması durumunda ise gelen sinyal halka içerisinde dolanan akıma ters yönde olacağından toplamları yeni bir sinyal tetiklemez. “0” durumundaki bir DFF devresine uygulanan saat sinyali ise çıktıda bir sinyal oluşturmaya yeterli olmaz.

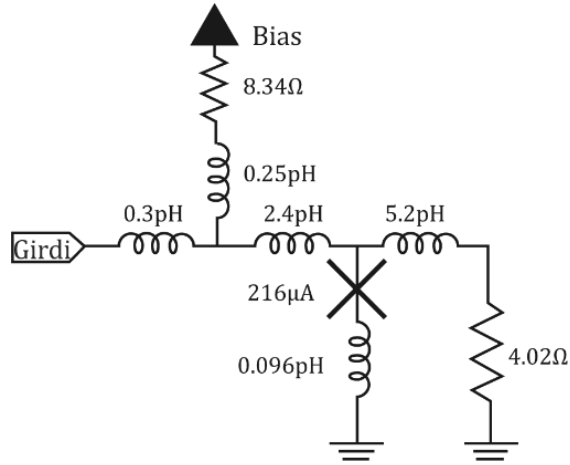
Bir DFF hücresinin şematik gösterimi Şekil 2.4’deki gibidir. DFF devresi dikkat edilirse saat darbesi vurduktan sonra çıktı üretmektedir ve tasarlanan değer olarak 2,5 mV besleme gerilimi için bu süre 12,2 ps sürmektedir.



Şekil 2.4 – DFF devresi şematığı.

2.1.5. Sink Devresi

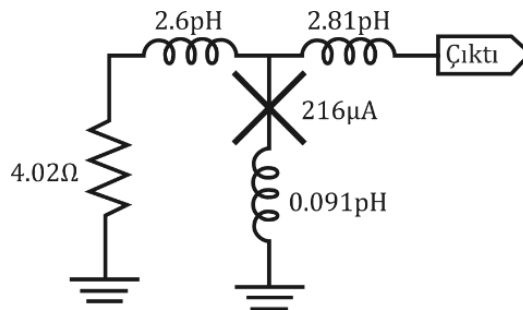
Şekil 2.5’de şematığı verilen sink devresi, geri yansımaları önleyecek şekilde tasarlanmış özel topraklama devresidir. Gelen sinyaller topraklanarak yok edilir. Özellikle benzetimlerde çıktı sinyallerinin takibi için kullanılır ancak pratikte önemli bir uygulaması yoktur.



Şekil 2.5 – Sink devresi şematığı.

2.1.6. Source Devresi

Sink devresine benzer olan source devresi ise girdi sinyali olmayan ve yansıma olması istenmeyen durumlarda sinyal kaynağı gibi kullanılır. Bu hücre de sink devresine benzer şekilde pratik bir uygulamaya sahip değildir. Bir source devresinin şematik gösterimi Şekil 2.6’da verilmiştir.

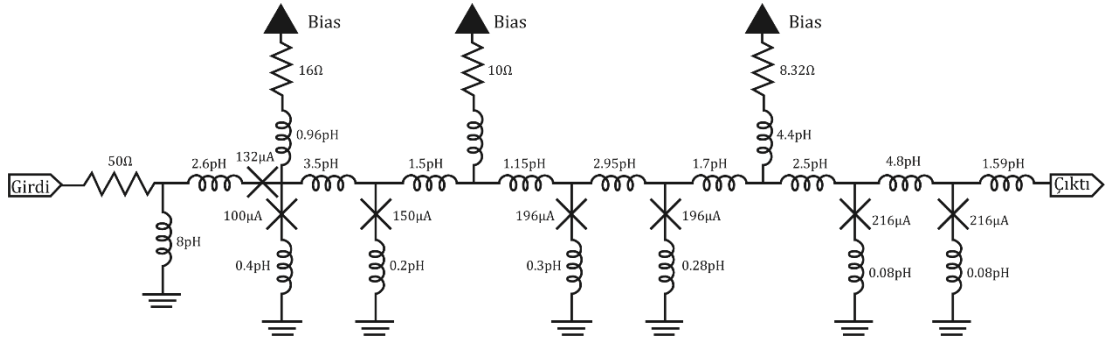


Şekil 2.6 – Source devresi şematığı.

2.1.7. DC-SFQ Çevirici Devresi

Süperiletken devreler 2 – 3 ps genişliğindeki akım darbeleri ile tetiklenmektedir. Ancak günümüzde bu kadar hızlı çalışabilen bir ölçüm sistemi laboratuvarlarda kullanılan standart cihazlar arasında değildir. Dolayısıyla SFQ devreleri ölçülürken belirli bir frekansa sahip kare dalga şeklinde sinyaller uygulanabilmektedir. Uygulanan sinyalin frekansı cihazın kapasitesine bağlı olmakla birlikte genellikle SFQ devreleri için oldukça yavaş mertebelerde kalmaktadır. Bu sebeplerden ötürü ölçüm sistemi ile SFQ devreleri arasında bir geçiş devresi olan DC-SFQ çevirici devresi kullanılır.

DC-SFQ çevirici devresi girişinden uygulanan kare sinyali SFQ darbesine çeviren bir devredir. Uygulanan her kare sinyalin artan kenarında bir SFQ sinyali oluşturulur. Oluşturulan sinyal çıkış yolu üzerindeki iki farklı parametrelere sahip JTL devresinden geçirilerek şekillendirilir. DC-SFQ çevirici devresinin şematik gösterimi Şekil 2.7’de verilmiştir.



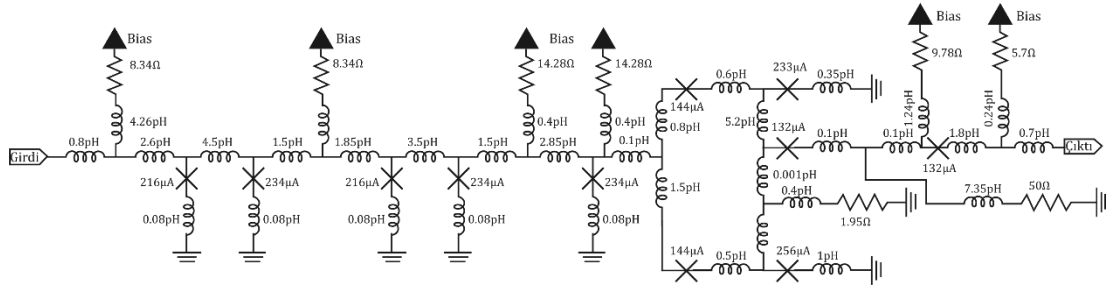
Şekil 2.7 – DC-SFQ çevirici devresi şematığı.

DC-SFQ devresi aracılığıyla yapılan ölçümlerin hızı, ölçüm aletlerinin hızıyla sınırlıdır. Daha yüksek hızda ölçümler için SFQ devrelerine gömülü olarak özel tasarlanmış girdi ve saat üreteçleri tasarlanır.

2.1.8. SFQ-DC Çevirici Devresi

SFQ-DC çevirici devresi SFQ sinyallerini kare dalgaya çeviren bir devredir. Devreye uygulanan bir SFQ girdisi devrenin merkezinde bulunan halkaya ulaşır. Ancak bu

halkada farklı olarak çıktı yolu üzerinde paralel bir ek şönt direnci bulunmakta ve çıktı üzerindeki besleme akımı daha fazla olmaktadır. Devreye uygulanan bir girdi sinyali, halka içerisindeki Josephson eklemeleri arasında $2,5 \pm 0,5 \text{ mV}$ 'luk bir genlikte salınır ve kare dalgaya benzer bir sinyal üretir. Salınım durumundaki bir devreye ulaşan girdi sinyali ise salınımı sonlandırır ve devreden çıktı gözlenmez. Oluşan çıktı sinyali bir filtre aracılığıyla kare dalgaya dönüştürülür. Böylece SFQ sinyalleri kare dalgaların artan veya azalan kenarları olarak tespit edilebilir. SFQ-DC çevirici devresinin şematik devresi Şekil 2.8'de gösterildiği gibidir.



Şekil 2.8 – SFQ-DC çevirici devresi şematiği.

3. GECİKME VE SEĞİRME HESAPLAMALARI

Süperiletken tek akı kuantumu devreleri yüksek çalışma frekansı sayesinde geleceğin mikroişlemcileri [33]–[35], ağ yönlendiricileri [36], [37] ve analog – dijital dönüştürücüleri [38]–[41] gibi yüksek hız gerektiren birçok alanda kullanılmaktadır. Ancak artmakta olan karmaşıklık seviyesi ve saat darbesi frekansı nedeniyle hücrelerin doğru zamanlanması zorlaşmakta, devrelerdeki gecikmeler ve gürültüden kaynaklı zamanlama kaymaları (seğirmeler) önemli bir hal almaktadır. Bu amaç doğrultusunda, bu çalışmada öncelikle SFQ devrelerdeki temel elemanlar olan Josephson iletim hatları (JTL), splitter ve merger devrelerinin gecikme ve seğirme analizi yapılmıştır. Ayrıca devreler tek tek ve ardışık durumlarda, düşük gerilim beslemesi ve sinyal frekansı bağımlılığı durumları da incelenmiştir.

Bu alanda yapılan çalışmalar, zamanlama hatalarının genellikle saat sinyali dağıtımı sırasında gerçekleşmekte olduğunu ve devrelerin hatalı çalışmasına neden olduğunu göstermiştir [34], [42]–[46]. Bu sorunun üstesinden gelebilmek için devreler daha düşük hızlarda çalıştırılmak durumunda kalmaktadır. Ayrıca bu zamanlama hataları büyük devreler kurulmasına da engel olmaktadır [42].

Zamanlama hatalarının tasarım hatası dışında önemli bir nedeni devrede bulunan şönt ve besleme dirençlerinden dolayı oluşan termal gürültüdür (Johnson – Nyquist gürültüsü) [47]. Bu termal etki nedeniyle akımda bir varyasyon oluşur (seğirme) ve bu varyasyon aşağıdaki eşitlik ile hesaplanabilir [48].

$$i_n^2 = \frac{4k_B T}{R} \quad (15)$$

Burada, i_n termal gürültüden kaynaklı akımda oluşan gürültünün etkin değeri, k_B Boltzmann sabiti, T ise Kelvin cinsinden sıcaklığı ve R ise gürültüye neden olan direncin değeridir. Akımda oluşan gürültü Josephson eklemleri üzerinden akımda bir değişime yol açar. Bu nedenden ötürü bir eklem tasarlanandan zamandan daha erken veya daha geç anahtarlayabilir. Zamanlamalarda oluşan bu kaymalara seğirme denir.

Seğirme hakkında yapılan birçok çalışmada [42]–[45], [49]–[51] seğirmenin Josephson eklemi sayısının karekökü ile orantılı olduğu gösterilmiştir. Ancak bu kabul bütün devre elemanlarının birbirinden bağımsız olması durumunda geçerlidir. Gerçekte ise bütün devreler ortak bir besleme hattı ve giriş – çıkış noktaları ile birbirine bağlıdır ve dolayısıyla birbirlerini etkilemektedir. Böyle bir durumda seğirme hesaplanması için bir model oluştururken bu etkileşimler de göz önünde bulundurulmalıdır.

SFQ alanında yapılan çalışmalarda önemli bir diğer başlık ise, devrelerin harcadığı gücü daha da azaltmaktır. Bunu yapmak için kullanılan yöntem ise, devreden akan akım sabit kalacak şekilde besleme gerilimini ve direncini azalmaktır [34], [52], [53].

Bu çalışmada öncelikle bahsi geçen durumlar göz önüne alınarak, SFQ kütüphanelerinde kullanılan temel hücreler için farklı besleme gerilimleri altında oluşan zamanlamalar ve seğirmeler için birer ilişki bulunmaya çalışılmıştır. Ayrıca bu devreler için birer etkileşim parametresi bulunarak, gerçek bir benzetime gerek kalmadan seğirme analizi yapılabilmesine olanak sağlanması hedeflenmiştir.

3.1. Devre Tasarımlarında Kullanılan Benzetim Araçları

SFQ devrelerinde oluşan sinyallerin benzetimleri iki ana kategori ile nitelendirilen benzetim araçları ile yapılmaktadır.

3.1.1. Analog Benzetim

Analog benzetim, kapalı bir çözümü bulunmayan, (9) ile verilen diferansiyel Josephson denkleminin önyineleme döngüsü (iteration loop) içerisinde tekrar tekrar hesaplanması ile uzun süren fakat detaylı analiz yapılmasını sağlayan bir yöntemdir. Bu yöntem ile Josephson eklemlerinde oluşan akım, gerilim ve faz gibi değişkenlerin durumlarına bakılabilmekte, sinyallerin gürültü etkileri gibi dış etkiler altındaki çözümleri de bulunabilmektedir. Böylece bir devredeki her girdi/çıkış sinyallerinin zamanlaması ve seğirmesi hakkında bilgi alınabilirken, bu sinyali oluşturan Josephson eklemlerinin durumu hakkında da bilgilere ulaşılabilir. Bu hesaplamalar devre boyutuyla bağlantılı şekilde oldukça uzun sürebilmekte, dolayısıyla büyük çaplı

devreler için pratik olmamaktadır. Analog benzetimler için kullanılan başlıca benzetim araçları Jsim_n [54] ve Pscan [55]'dir. Bu çalışmada bütün benzetimler Jsim_n ile yapılmıştır.

Jsim_n yazılımı kullanılarak hesaplamalar yapılırken devrenin elemanları "netlist" adı verilen bir dosyaya kodlanır. Örnek bir netlist dosyası EK 1'de verilmiştir. Bu dosyada elemanların isimleri, bağlantı noktaları ve sahip oldukları değerleri gibi bilgilerin yanı sıra benzetim süresi, hassasiyeti, çıktıya kaydedilmek istenen elemanların bilgileri gibi değerler yer alır. Benzetim sonuçlarında ise zamana göre incelenmek istenen eleman üzerindeki akım, gerilim veya Josephson eklemleri için faz değerleri kaydedilebilir.

3.1.2. Sayısal Benzetim

Sayısal benzetim devreleri basit modeller ile temsil ederek hızlı ve pratik sonuçlar veren benzetim türüdür. Bu kategorideki benzetim araçları genellikle kullanılan devrelerin içerdiği elemanlar ile ilgili hesaplama yapmayı, devreleri küçük hücrelere bölerek, her hücre için oluşturulmuş modelleri kullanır. Kullanılan modeller genellikle hücre hakkında gecikme değeri ve zamanlama ölçütleri gibi temel bilgileri içerir. Bu araçlar hücrelerin içindeki elemanları dikkate almadıkları için gürültü gibi olasılıksal durumların benzetiminin yapılması güçtür. Kullanılan modellerin verilen değerlerde doğru çalıştığını, zamanlamalarda bir değişme olmadığı varsayar. Bu varsayımlar göz önünde bulundurularak, hücre modelleri kullanan bir benzetim aracı ile büyük devrelerin benzetimleri hızlı ve kolay bir şekilde yapılabilir. Süperiletken devreler tasarlanırken, yarı iletken devreler için geliştirilmiş en çok tercih edilen benzetim araçlarından biri olan Verilog [56] tercih edilmektedir. Bu araç ile benzetim yapılırken kullanılacak her bir hücrenin Verilog modeli oluşturulmalıdır. Aksi takdirde benzetim yapılması mümkün değildir.

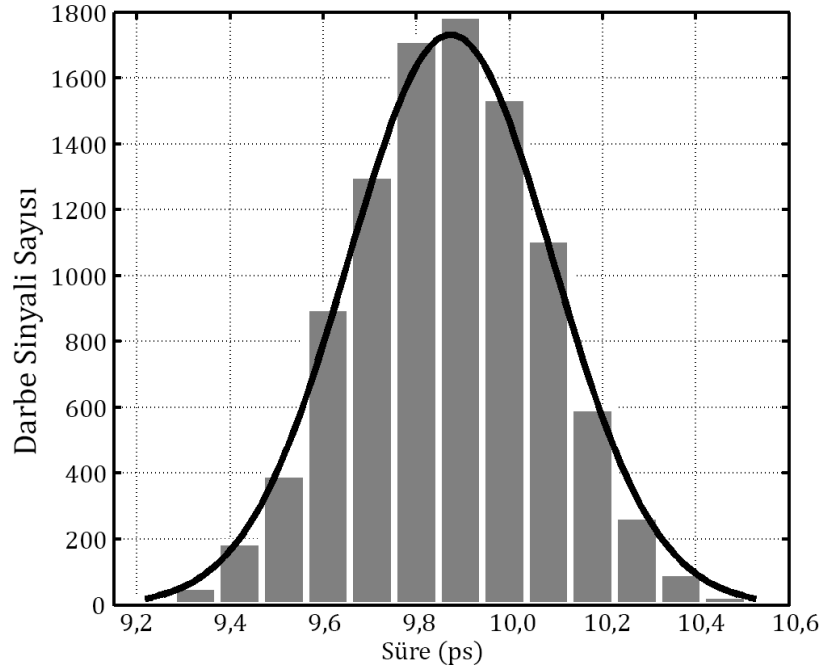
Bir Verilog modeli genellikle bir hücrenin kendine özgü doğruluk çizelgesine göre nasıl çıktı vereceğini ve farklı besleme gerilimleri altındaki çıktı zamanlamalarının değerlerini içeren bir girdi dosyasıdır. Bu dosya ayrıca art arta iki girdi sinyali arasındaki veya saatli devrelerde saat sinyali ile girdi sinyali arasındaki zamanlama farkı kısıtlarını içerir. Verilog benzetimi yapılırken bu değerlere göre oluşan çıktıların

zamanlamaları hesaplanır ve kısıtlar kontrol edilir. Örnek olarak bir JTL devresi için oluşturulmuş bir Verilog model dosyası EK 2’de verilmiştir.

3.2. Gecikme ve Seğirme Değerlerinin Benzetimi

SFQ mantık devrelerinde giriş sinyallerine göre bir çıktı sinyali oluşturulması belli bir sürede olmaktadır. Bu süreye gecikme denir ve devrede bulunan Josephson eklemi sayısı ile orantılıdır. Ancak Josephson eklemeleri ve şönt dirençleri tarafından oluşturulan gürültü nedeniyle, bir devrenin çıktısı kesin bir zamanda değil, Josephson eklemi sayısına bağlı bir Gauss dağılımı şeklinde olmaktadır [42], [44], [46], [57], [58]. Dolayısıyla, her devre kendine özgü bir gecikme değerine sahiptir fakat bu gecikme bir dağılım göstermektedir. Bu nedenden ötürü bir hücre kendine özgü ortalama (μ) ve standart sapma (σ) değerlerine sahip bir Gauss eğrisi ile nitelendirilebilir [59], [60]. Bu eğrinin ortalama değeri devrenin gecikmesine, standart sapması ise meydana gelen seğirmelere karşılık gelmektedir.

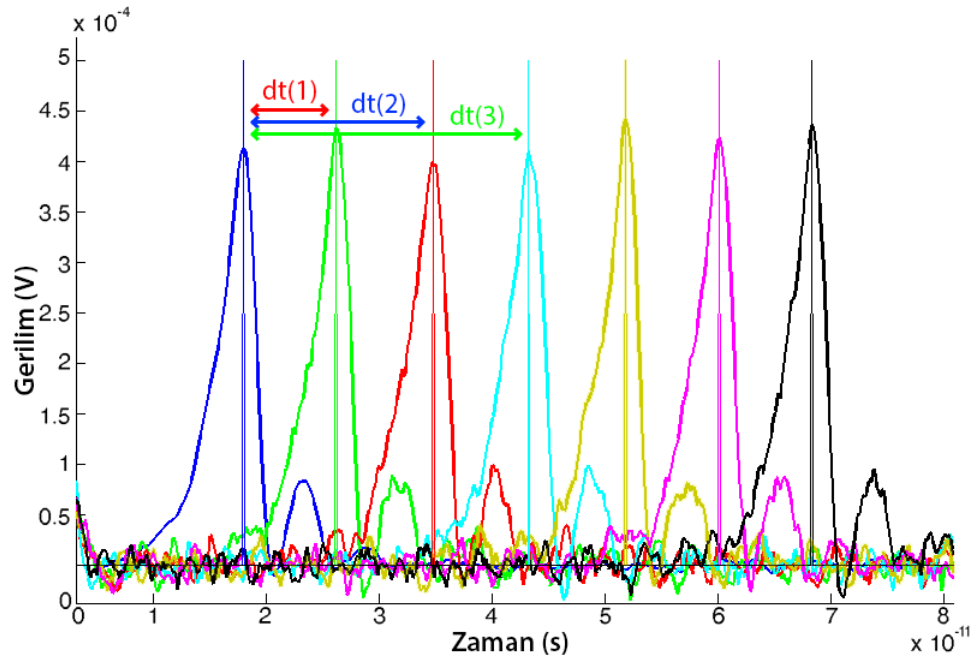
Bir devrenin çıktılarında oluşan dağılım, çıktı sinyallerinin zamanlamalarının gürültü etkileri altındaki analog benzetimleri ile elde edilebilir. İstatistiksel olarak anlamlı sonuçlar elde edilmesi için 10.000 çıktı darbeleri Jsim_n benzetimleri ile hesaplanmış, her bir sinyalin tepe noktasının zamanı ölçülmüştür. Bir JTL devresi için hesaplanan çıktı sinyallerinin zamana göre dağılımı ve Gauss fonksiyonu Şekil 3.1’de gösterilmiştir. Bu dağılımın ortalama değeri devrenin gecikmesini, standart sapması ise devrede oluşan seğirmeyi temsil etmektedir.



Şekil 3.1 – Bir JTL devresinde üretilen çıktı darbelerinin zamanlama dağılımı ve ilgili Gauss fonksiyonu grafiği.

Bu çalışmada kullanılan bütün devrelerde giriş sinyali iki adet JTL devresinden geçirilerek düzeltilip, çıkışta sink devresi ile sönmülmektedir. Bu devre elemanlarına gürültü kaynağı eklenmemektedir. İlerleyen bölümlerde bu elemanlar kesikli çizgiler ile görselleştirilmiştir.

Tek bir devrenin gecikme ve seçirme değeri çıkış sinyali ile giriş sinyalinin tepe noktalarının zamanlama farkı bulunarak ölçülmektedir. Art arda dizilmiş devrelerde ise, her bir devrenin çıktı sinyalinin ilk devreye gelen giriş sinyaline olan farkı ölçülmektedir. Çıktı sinyallerinin hesaplanması Şekil 3.2’de örneklendirilmiştir. Bu işlemde sonra her bir devre için sinyallerin Gauss dağılımları, ortalama ve standart sapma değerleri hesaplanmaktadır. Bütün bu işlemler farklı devreler, farklı besleme gerilimleri ve farklı giriş sinyali periyodları için tekrarlanmıştır. SFQ devreleri sabit 4,2 K sıcaklıkta çalıştırıldığı için sıcaklık etkileri incelenmemiştir.

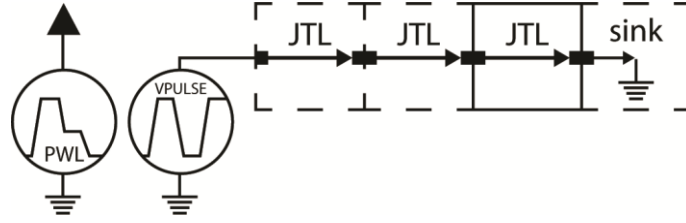


Şekil 3.2 – Periyodik çıktı sinyali için örnek gecikme hesabı.

4. TEMEL SFQ DEVRELERİ İÇİN GECİKME VE SEĞİRME DEĞERLERİ

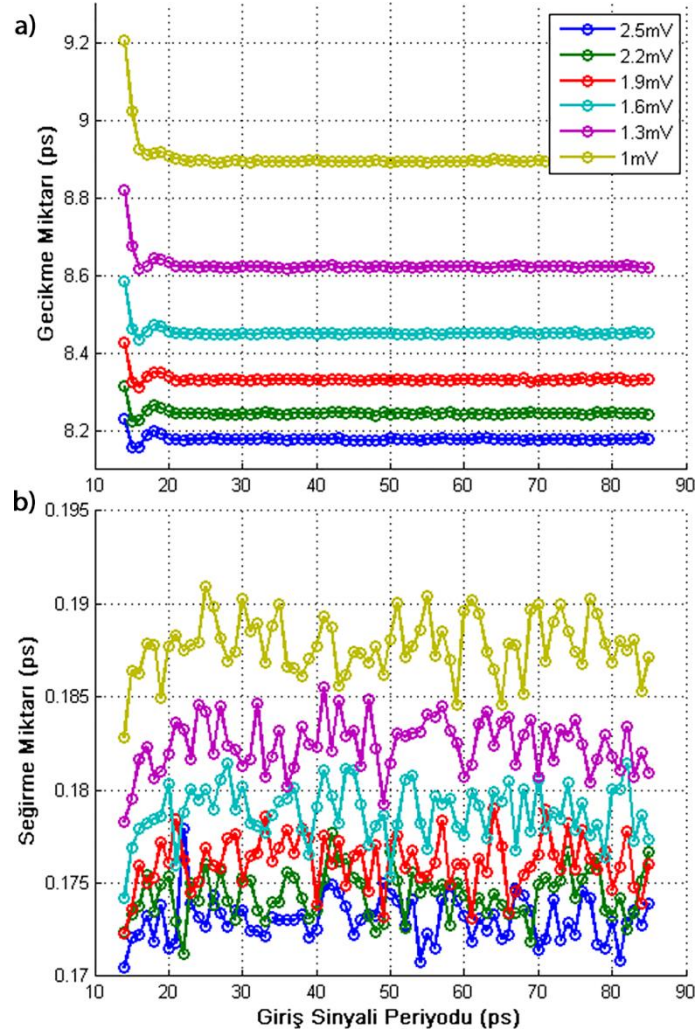
4.1. Josephson İletim Hattı (JTL) Devresi

JTL devresi SFQ devrelerinde iletim için kullanılan en basit devrelerden biri olup, iki adet Josephson eklemi içermektedir. Şekil 4.1’de, tek bir JTL hücresi için hazırlanan test şeması görülmektedir. Bu şema kullanılarak bir JTL devresinin farklı besleme gerilimleri ve farklı girdi periyodları altındaki gecikmeleri ve seğirmeleri incelenmiştir.



Şekil 4.1 – Tek JTL devresi için test şeması.

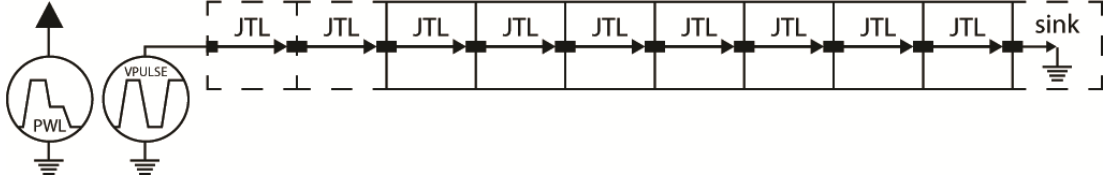
JTL devresi için bulunan gecikme ve seğirme değerleri Şekil 4.2’de gösterilmiştir. Literatürde yapılan çalışmalarda görülebildiği gibi [50], gecikme ve seğirme değerleri besleme gerilimi azaldıkça artmaktadır. Besleme geriliminin azaltılması bir eklemin rezistif duruma geçmesini geciktirmektedir. Gürültü, beslemeden bağımsız olduğu yani etkin değer (root mean square) olarak aynı kaldığı için düşük gerilim seviyesinde etkileri daha fazla olmaktadır [42]. Şekil 4.2’de gösterildiği gibi, bir JTL devresinde tutarlı sinyaller elde edilebilmesi için, gönderilen sinyaller arasında 14 – 15 ps zaman farkı olmalıdır. Aksi halde JTL devresi bazı sinyalleri üretememekte, hataya neden olmaktadır.



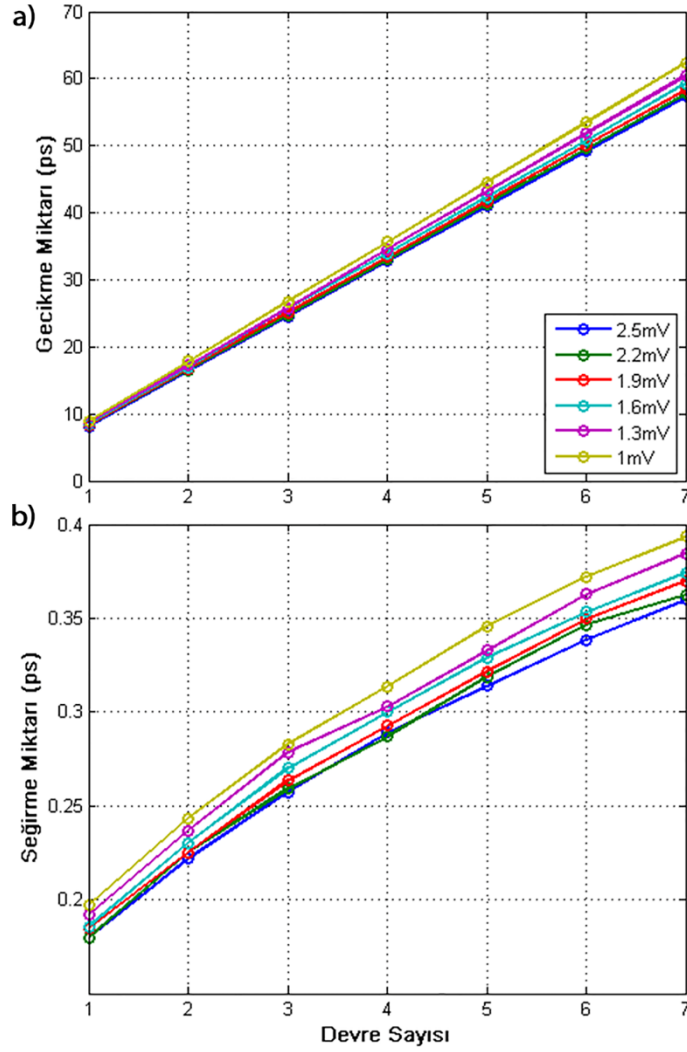
Şekil 4.2 – Farklı besleme gerilimleri altındaki tek JTL devresi için a) gecikme – giriş sinyali periyodu ve b) seğirme – giriş sinyali periyodu grafikleri.

4.2. Art arda JTL Devreleri

SFQ devrelerinde sinyallerinin iletimi için genellikle birçok JTL devresinin art arda kullanılması gerekmektedir. Bu sebepten ötürü devrelerin büyük bir çoğunluğu JTL hücrelerinden oluşmak durumunda kalmaktadır. Bu artışa bağlı olarak sinyallerde oluşan gecikme ve seğirme miktarları da birikerek artmaktadır. Biriken seğirme nedeniyle bir hücrenin çalışabileceği tutarlı alan daralmakta, doğru çıktı verme olasılığı düşmektedir. Art arda bulunan JTL devreleri üzerinde biriken seğirmelerin hesaplanması için Şekil 4.3’de verilen test şeması hazırlanmıştır.



Şekil 4.3 – Art arda JTL devreleri için test şeması.



Şekil 4.4 – Farklı besleme gerilimleri altındaki art arda JTL devreleri için a) gecikme – devre sayısı ve b) seğirme – devre sayısı grafikleri.

Şekil 4.3’de verilmiş olan JTL devreleri için Jsim_n ile yapılan benzetimler sonucu elde edilen gecikme ve seğirme değerleri Şekil 4.4’de verilmiştir. Bu hesaplamalar yapılırken sabit 200 ps’lik periyoda sahip giriş sinyali uygulanmış olup, çok sık girdi sinyali uygulanması durumundan kaynaklanabilecek etkiler önlenmiştir. Şekil 4.4a’da

görülebileceği üzere, art arda JTL devrelerinde gecikme değeri devre sayısı ile doğru, besleme gerilimiyle ters orantılı olarak artmaktadır. Literatürde yapılan çalışmalarda belirtildiği üzere [45], [50], seğirme miktarı sinyalin izlediği yol üzerindeki Josephson eklemi sayısının kareköküyle orantılıdır. Bu çalışmada ölçülen seğirme değerleri Şekil 4.4b’de rapor edilmiştir. Bu alanda yapılan bir çalışmada [50], (16) ile verilen denklem kullanılarak biriken seğirmenin hesaplanabileceği önerilmektedir.

$$\sigma_n(x) = AI_g(x) \sqrt{n} \quad (16)$$

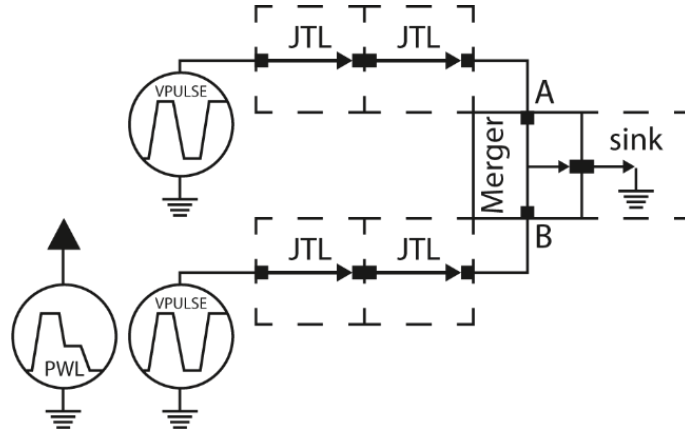
Burada A katsayısı sıcaklığa, frekansa ve gürültü kaynağının doğasına bağlı bir katsayı, I_g gürültünün izsel yoğunluğunun karekökü (spectral density), n ise Josephson eklemi sayısıdır. Ancak yaptığımız çalışmalarda yukarıdaki denklemin kullanılması, yol boyunca biriken seğirmenin hesaplanmasında yeterli olmamıştır. Daha önce de belirtildiği gibi bu çalışmanın asıl amaçlarından biri karmaşık devrelerin benzetimi yapılmadan gecikme ve seğirme analizinin yapılabilmesidir. Bu amaç doğrultusunda seğirme hesaplanırken pratik bir sonuç verecek bir eşitlik elde edilmesi amaçlanmıştır. Bu nedenden ötürü, (16) numaralı eşitlik (17) numaralı eşitlik biçiminde yeniden yorumlanmıştır. Bu eşitlikteki parametreler sadece devre tipine ve besleme gerilimine bağlı olarak farklılık göstermektedir.

$$\sigma = \beta\sqrt{n} + \zeta \quad (17)$$

Burada σ seğirmeyi, n sinyal yolu üzerindeki Josephson eklemi sayısını, ζ besleme gerilimine bağımlı parametreyi ve β ise devre elemanlarına bağımlı parametreyi ifade etmektedir. Bu parametreler ile ilgili elde edilen bulgular ileriki bölümlerde detaylandırılmıştır.

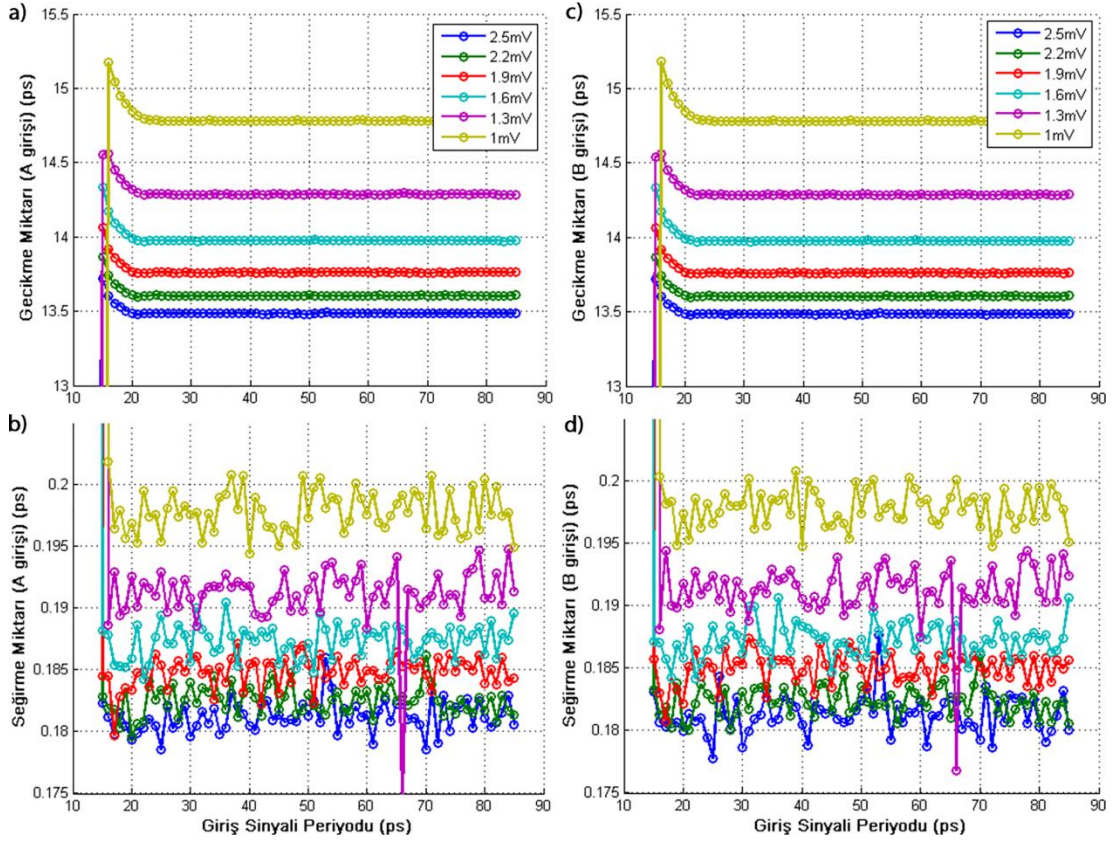
4.3. Merger Devresi

Merger devresine gelen sinyallerin zamanlaması veri kaybı olmaması için oldukça önemlidir. Eğer sinyaller birbirine çok yakın zaman aralıklarında gelirse, sinyallerden biri üretilmeyebilir. İki sinyal arasında olması gereken en küçük zaman aralığı “kurulma süresi” (setup-time) olarak adlandırılır ve devrenin düzgün çalışabilmesi için gelen iki sinyal arasında bu süreden daha büyük bir süre olmalıdır. Ayrıca iki sinyal arası gecikme kurulma süresi dolaylarında iken termal gürültü etkilerinden ötürü devre istenen şekilde çalışmamaktadır. Merger devresinin hatalı çalışma durumu bir sinyal üretmesi veya hiç üretmemesi durumu olarak tanımlanır. Merger devresi üzerinde oluşabilecek bu etkilerin incelenmesi üzere hazırlanan test şeması Şekil 4.5’de verilmiştir.



Şekil 4.5 – Tek merger devresi için test şeması.

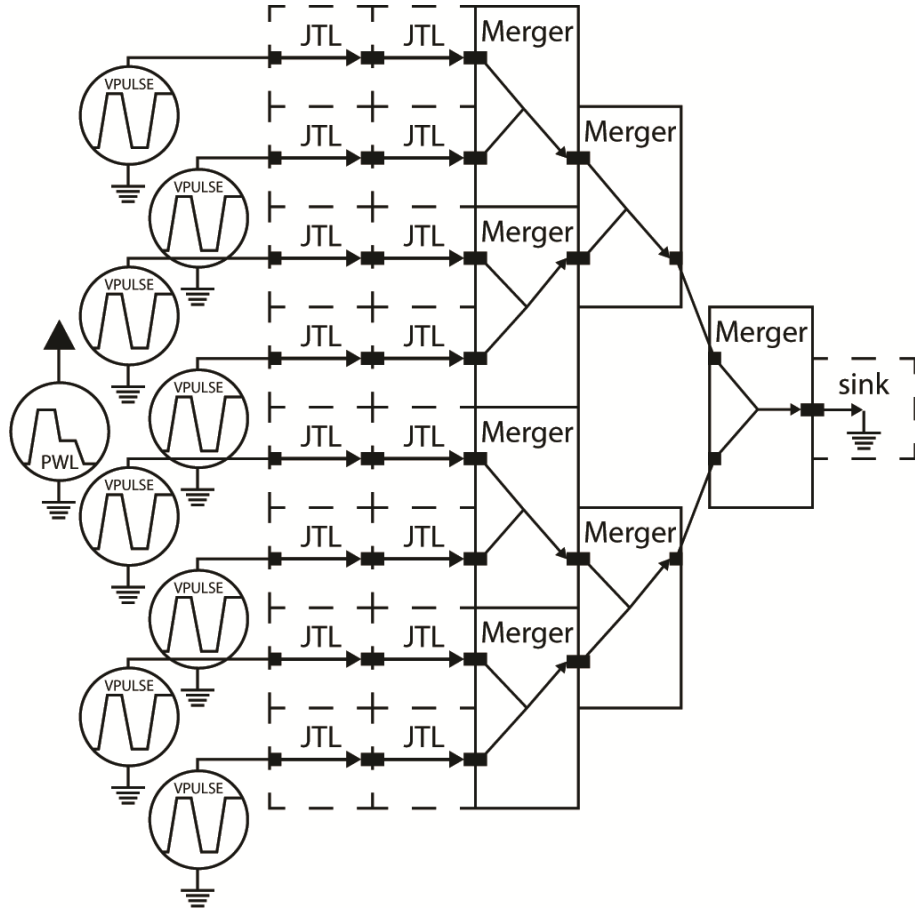
Merger devresinin iki girdisinden ayrı ayrı uygulanan sinyaller için farklı gerilim seviyelerine göre hesaplanan gecikme ve seğirme değerleri Şekil 4.6’da gösterilmiştir. Grafikte görüldüğü üzere her iki giriş için gecikme değerleri 20 ps sonra kararlı hale gelmektedir. Ek olarak, 18 ps dolaylarında merger devresi 50%’den daha az sinyal üretmektedir. Bu kritik periyodun üzerindeki tüm zamanlarda çıktı sinyalleri doğru olarak sayılabilmektedir. Bu çalışmada yalnızca tamamen doğru çalışan bölgelerin analizi yapılmıştır.



Şekil 4.6 – Farklı besleme gerilimi altındaki tek merger devresinin A giriş noktası için a) gecikme – giriş sinyali periyodu ve b) seğirme – giriş sinyali periyodu grafikleri, B giriş noktası için c) gecikme – giriş sinyali periyodu ve d) seğirme – giriş sinyali Periyodu grafikleri.

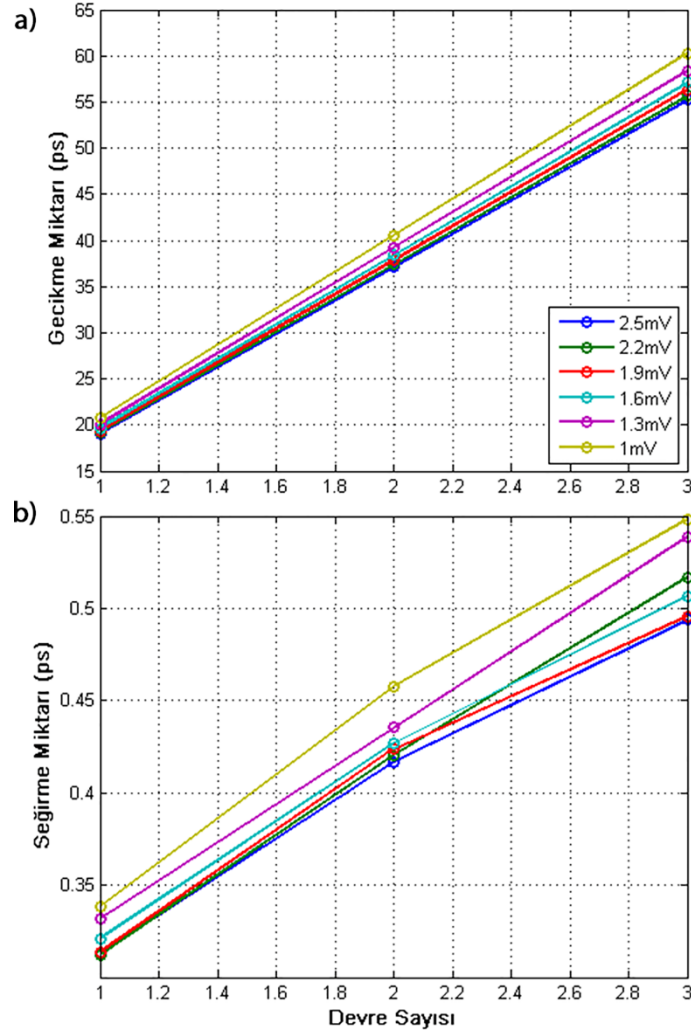
4.4. Art arda Merger Devreleri

Çok katmanlı art arda merger devreleri paralel sinyalleri seriye çeviren devreler olarak kullanılabilir [61]. Bu bağlamda, art arda bulunan merger devrelerinde oluşacak gecikme ve seğirme değerlerinin incelenmesi için üç katmanlı bir yapı incelenmiştir. Bu devre, örneğin 8 bitlik paralel çıktı üreten bir devrenin çıkış katında kullanılabilir bir yapıdır ve şematik olarak Şekil 4.7’de gösterildiği gibidir.



Şekil 4.7 – Art arda merger devreleri için test şeması.

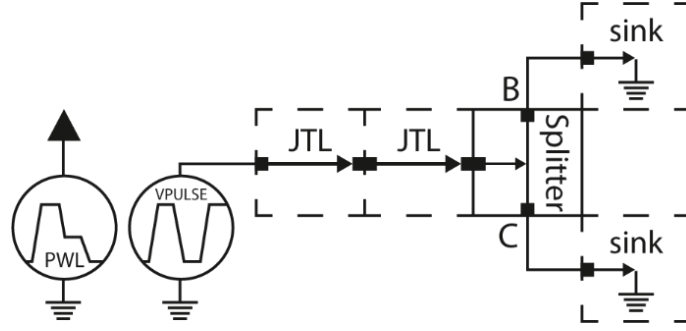
Şekil 4.7’de görülen devre için hesaplanan gecikme ve seğirme değerleri ise Şekil 4.8’de gösterilmiştir. Burada girdi sinyali yine benzer şekilde 200 ps’lik periyodlar ile uygulanmıştır. Dikkat edilirse, art arda JTL devrelerine benzer şekilde, merger devreleri de doğrusal bir gecikme eğrisi göstermektedir. Seğirme miktarı ile ilgili sonuçlar ise ileriki bölümde tartışılmaktadır.



Şekil 4.8 – Farklı besleme gerilimleri altındaki art arda merger devreleri için a) gecikme – devre sayısı ve b) seğirme – devre sayısı grafikleri.

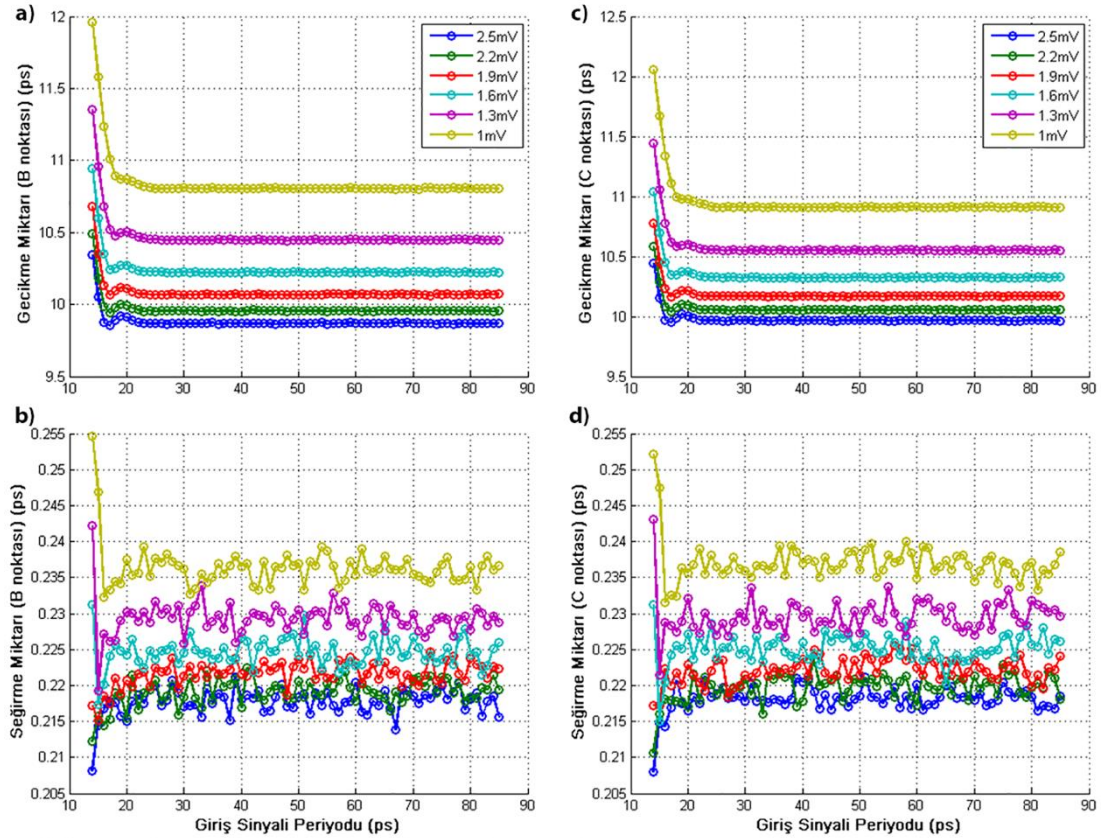
4.5. Splitter Devresi

SFQ devrelerinde kablolama için kullanılan bir diğer önemli hücre ise splitter devresidir. Şekil 4.9’da bir splitter devresi için hazırlanan test şeması gösterilmiştir. Splitter devresinin çıktısında oluşan iki sinyal birer sink devresiyle topraklanmaktadır.



Şekil 4.9 – Splitter devresi için test şeması.

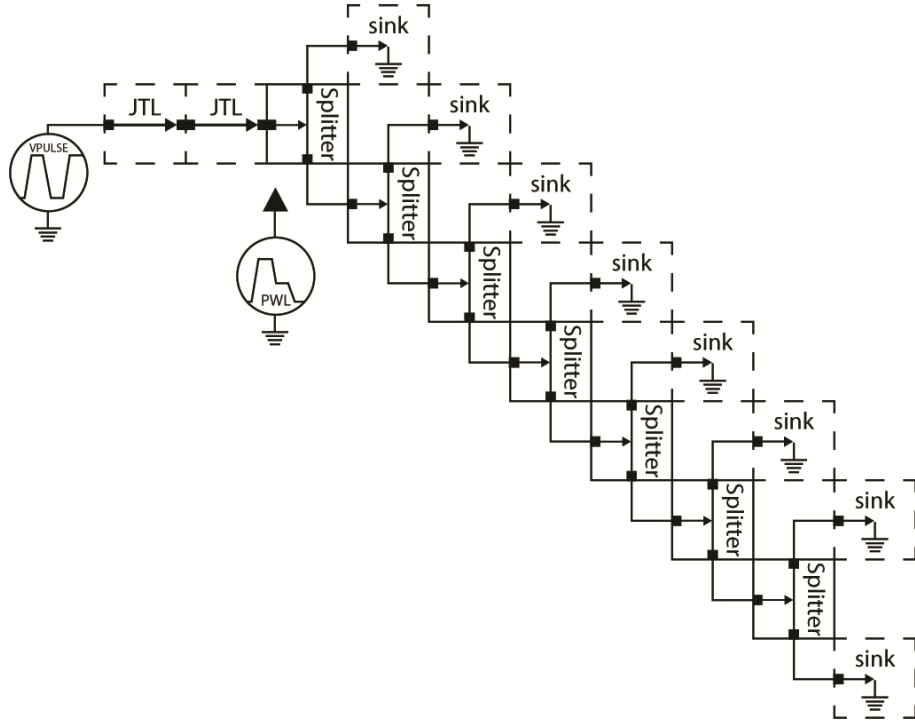
Yapılan ölçümler sonucunda splitter devresinin kararlı çalışması için girişteki sinyal periyodu 20 ps civarında olmalıdır. Bu devre için bulunan gecikme ve seçirme değerleri Şekil 4.10’da gösterilmektedir. Dikkat edilirse splitter devresinin iki çıktı noktasında elde edilen sonuçlar devrenin simetrik yapısından ötürü oldukça benzerdir.



Şekil 4.10 – Farklı besleme gerilimleri altındaki splitter devresi için B giriş noktası için a) gecikme – giriş sinyali periyodu ve b) seçirme – giriş sinyali periyodu grafikleri, C giriş noktası için c) gecikme – giriş sinyali periyodu ve d) seçirme – giriş sinyali periyodu grafikleri.

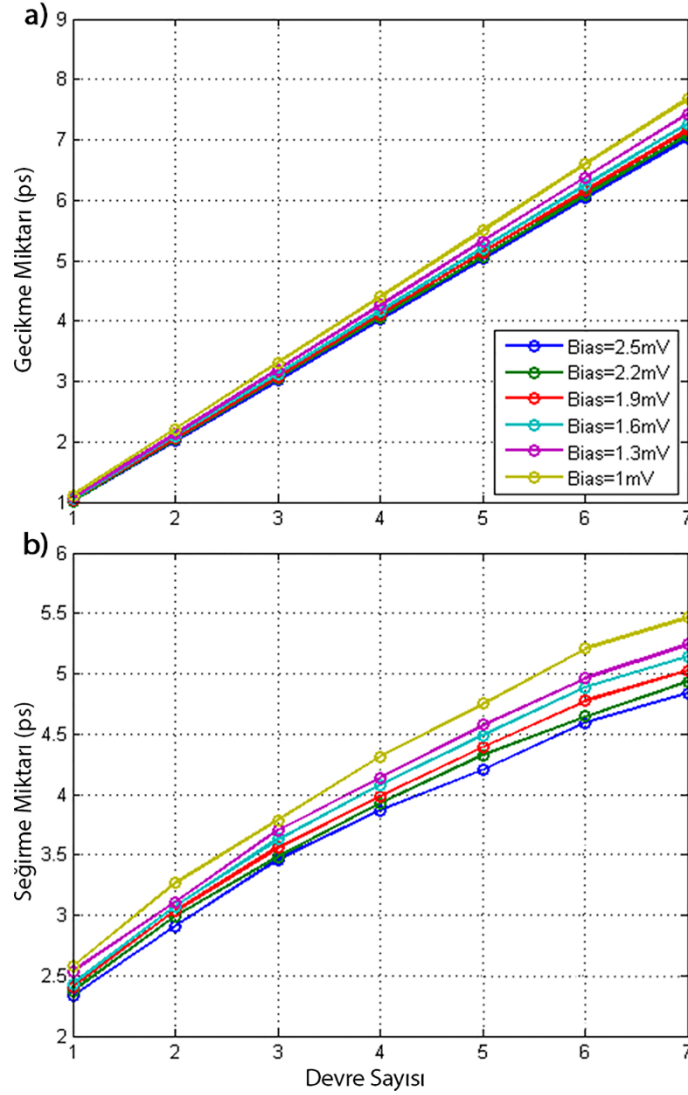
4.6. Art arda Splitter Devreleri

Art arda splitter devreleri SFQ devrelerinde aynı değerin birden fazla girişe uygulanması gibi özel bir durumda faydalı olmaktadır. Bu yapıdaki splitter devrelerinin modelini oluşturmak amacıyla Şekil 4.11’de verilen devre şeması kullanılmıştır. Test için hazırlanan bu yapıda çıktı sinyallerinden biri sönmülmekte, diğeri ise takip eden devreye iletilmektedir. Uygulanan girdi ise 200 ps’lik periyoda sahiptir.



Şekil 4.11 – Art arda splitter devreleri için test şeması.

Art arda splitter devreleri 200 ps’lik aralıklarla uygulanan girdi sinyalleri için bulunan gecikme ve seğirme sonuçları Şekil 4.12’de verilmiştir. Dikkat edilirse bütün devreler gecikmeler devre sayısı ile doğrusal olarak artmakta, seğirmeler ise birbirine benzer yapıya sahip bir sonuç vermektedir.



Şekil 4.12 – Farklı besleme gerilimleri altındaki splitter devresi için a) gecikme – devre sayısı ve b) seçirme – devre sayısı grafikleri.

4.7. Temel SFQ Kabloleme Devreleri için Gecikme ve Seçirme Benzetimleri Sonuçları

Bu çalışmada öncelikle SFQ devreleri için hızlı ve kolay bir yöntem ile gecikme ve seçirme analizi yapılabilmesi hedeflenmiştir. Bu nedenden ötürü temel SFQ devrelerinin, farklı devirlere sahip giriş sinyalleri ve besleme gerilimi etkileri altında, tek tek ve artarda dizilmiş durumları incelenmiştir. Bu bağlamda, basit ve hızlı bir hesaplama için istatistiksel verilere dayanan bir denklem bulunmuş, denklemin parametrelerinin sadece devre tipine ve besleme gerilimine bağlı olduğu sonucuna

varılmıştır. Bu sayede uzun süren gürültü tabanlı benzetim sonuçlarının öngörebilmesi mümkün olmaktadır. İncelenen devreler için bulunan sonuçlar incelendiğinde gecikme ve seçirme değerleri için bulunan grafiklerin birbirine benzer yapıda olduğu görülebilmektedir. Bu benzerlik aslında bütün çıktıların devreler için değişen bir katsayı ile modellenebileceğini, farklı besleme durumlarının etkisinin de bu modele rahatlıkla uygulanabileceğini göstermektedir. Bu nedenden ötürü (17) ile verilen eşitlikte yapılan kabuller hızlı ve pratik bir sonuç sağlamak için yeterli olmaktadır. Bulunan eşitlikte kullanılan parametreler Çizelge 4.1 ve Çizelge 4.2’de verilmiştir. Yapılan hesaplamalar sonucunda β parametresi sadece devre tipine bağlı iken ζ parametresinin sadece besleme gerilimine bağlı olduğu gözlenmiştir.

Çizelge 4.1 – Farklı devre türleri için bulunan β parametresi değerleri.

Devre Türü	β Parametresi	Aktif JJ sayısı
JTL	8×10^{-14}	2
Merger	$14,5 \times 10^{-14}$	3
Splitter	12×10^{-14}	2

Çizelge 4.2 – Farklı besleme gerilimi için bulunan ζ parametresi değerleri.

Besleme Gerilimi	ζ Parametresi
2,5 mV	$6,20 \times 10^{-14}$
2,2 mV	$6,50 \times 10^{-14}$
1,9 mV	$6,90 \times 10^{-14}$
1,6 mV	$7,30 \times 10^{-14}$
1,3 mV	$8,10 \times 10^{-14}$
1,0 mV	$8,90 \times 10^{-14}$

5. FARKLI TÜRDEN HÜCRELERİN BİRLEŞİMİ İÇİN GECİKME VE SEĞİRME BENZETİMLERİ

Oluşturulan istatistiksel denklem kullanılarak uzun süren gürültü tabanlı hesaplamalar kısa sürede yapılabilmektedir. Ancak farklı türden devrelerin birleşimi durumunda bulunan parametrelerinin istenilen hassasiyette sonuçlar vermediği görülmüştür [62]. Bir devrenin zamanlaması komşusu bulunduğu devrelere göre değişmektedir. Bu devrelerden en etkili çıktı sinyali takip eden devre olmaktadır. Devrelerin birbirine giriş – çıkış noktaları ve ortak besleme hattı gibi yollardan bağlı olması nedeniyle böyle bir ilintinin (korelasyon) olması beklenmektedir. Sonuç olarak ise, her farklı devre birleşimi farklı gecikme ve seğirme miktarları göstermektedir. Bu farklı durumların her biri farklı Gauss fonksiyonlarına karşılık gelmektedir.

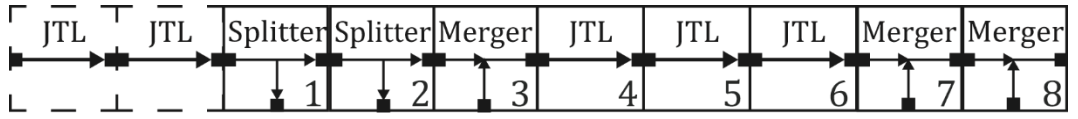
Ek olarak, modellerde kullanılan standart sapma değerinden daha basit bir model elde etmek amacıyla standart sapmanın karesi olan varyans değerinin kullanılması daha uygun olmaktadır. Bu sayede birbirini takip eden devrelerin çıktı varyasyonları basit bir toplama işlemi ile bulunabilmektedir. Bu sebeplerden ötürü bulunan β ve ζ parametreleri varyans değerine ve devre türü birleşimlerine göre güncellenmiştir. Böylece farklı türden kablolama hücreleri içeren devreler için de zamanlama analizi yapılabilmekte, art arda bulunan hücrelerde oluşan seğirmeler için bir ilinti modeli bulunabilmektedir.

5.1. İstatistiksel Hesaplamalar

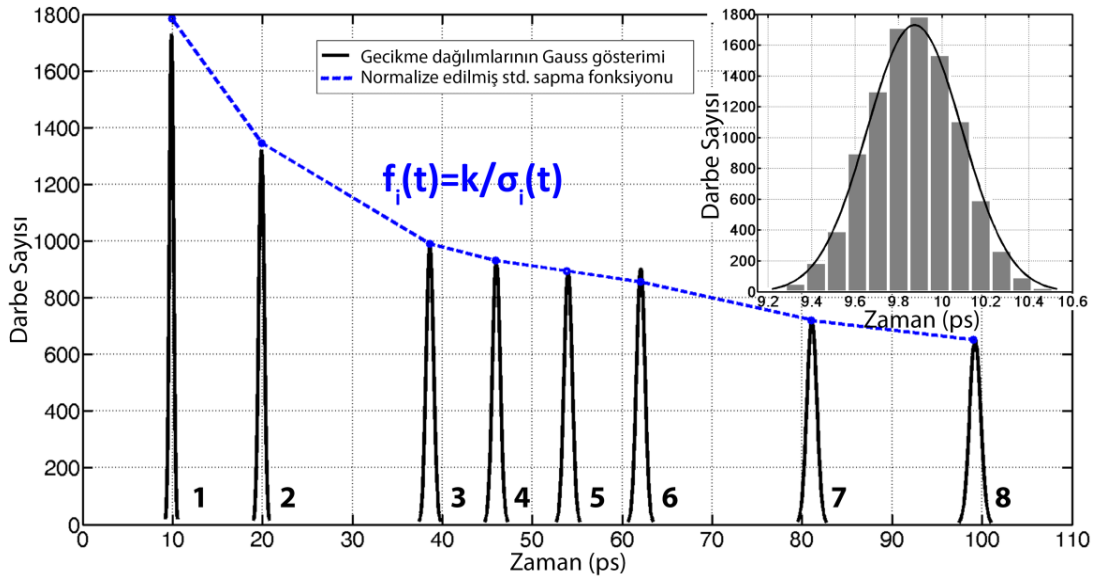
Literatürde yapılan analiz ve eniyileme çalışmalarında her bir devrenin birbirinden bağımsız olarak işlem yaptığı varsayılmaktadır. İstatistiki olarak bu durumdaki bir devrenin çıktısı bağımsız rastgele bir değişkene karşılık gelmektedir. Ancak gerçekte bütün devreler birbirine bağlıdır ve devreler arasında bir ilinti olmaktadır.

Bu ilinti devrelerin çıktı zamanlamaları incelenerek gözlenebilir. Çıktı zamanlamaları hesaplanırken her bir aşamadaki çıktı zamanlarının ilk giriş devresine giren sinyale olan zaman farkı bulunmalıdır. SFQ devrelerinin kendine özgü ortalama (μ) ve standart sapma (σ) değerlerine sahip Gauss temsilleri zamanlama dağılımlarının histogramı bulunarak oluşturulur.

Josephson iletim hattı, splitter ve merger devrelerinin birleşimi ile kurulan bir test devresi Şekil 5.1'de gösterilmiştir. Devrenin giriş kısmında, darbe şekillendirmesi amacıyla iki adet JTL devresi, açık bağlantılarda ise sink ve source devreleri kullanılmıştır. Kesikli çizgiler ile verilen bu devrelerde hiçbir gürültü kaynağı bulunmamaktadır. Test devresinin numaralandırılmış hücrelerinin çıktı dağılımları ise Şekil 5.2'de verilmiştir.



Şekil 5.1 – Josephson iletim hatları, merger ve splitter devreleri kullanılarak hazırlanan bir test devresi sematiği.



Şekil 5.2 – Şekil 5.1'de verilen devreler için aynı sırada verilmiş Gauss gösterimleri. İç grafikte ilk hücrenin 10000 çıktı için zamanlama dağılımı görülmektedir.

Gauss eğrilerinin tepe noktalarının, bu dağılımların standart sapmaları ile ters orantılı olduğu şekilden görülebilmektedir. Kesikli çizgilerle verilen bu denklemde k bir yakınsama katsayısı ve σ_i ise i 'inci devrenin standart sapma değerine denk gelmektedir. Zamanlamalarda meydana gelen seğirmelerin (standart sapmaların) bağımsız olarak düşünülüp, biriken seğirmeyi doğrusal olarak bulmak mümkün değildir. Ancak standart sapmanın karesi olan varyasyon doğrusal olarak toplanabilir.

Art arda devrelerden oluşan bir veri yolu üzerinde biriken varyans bu çalışma sonucunda elde edilen (18) denklemi ile de hesaplanabilir.

$$var = \sum_i (n_i \beta_i) + \varsigma \quad (18)$$

Burada β_i , i 'inci sıradaki devrenin β parametresine karşılık gelmektedir. Örneğin, β_2 parametresi β_{sm} parametresine, yani bir splitter devresi ile takip eden bir merger devresi birleşiminin β parametresine denk gelmektedir. Verinin ilerlediği yol üzerinde bulunan Josephson eklemi sayısı n , ilinti varlığını gösteren parametre ise ς ile gösterilmiştir. β ve ς parametreleri bir kereye mahsus her farklı devre birleşimleri için J_{sim_n} benzetimleri ile hesaplanmalıdır. Bu çalışmada kullanılan devreler için bulunan β parametreleri Çizelge 5.1'de verilmiştir. ς parametresi ise SFQ devrelerinde genellikle sabit olarak kullanılan 2,5 mV gerilim için $1,967 \times 10^{-26}$ olarak bulunmuştur.

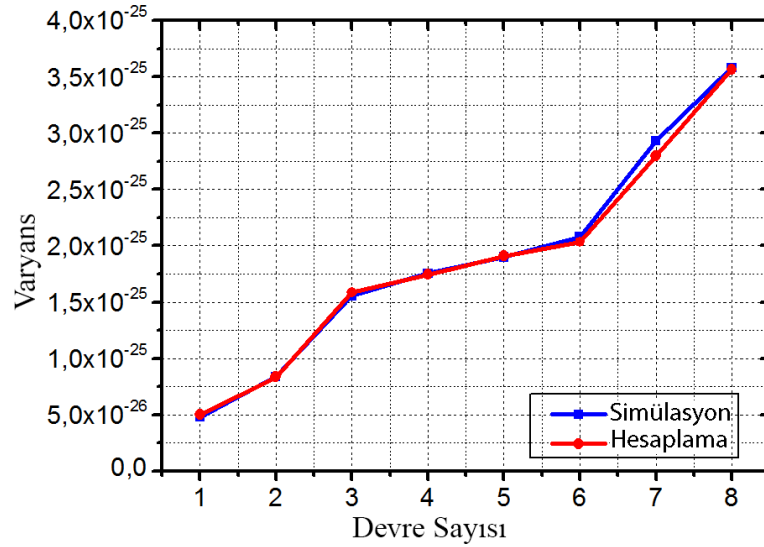
Çizelge 5.1 – Kablolama Devreleri için Bulunan β Parametreleri. Alt indisler önce ilk sonra takip eden ikinci hücrenin baş harfleri olacak şekilde seçilmiştir.

β Parametresi	Değer
β_{jj}	$8,03 \times 10^{-27}$
β_{jm}	$6,31 \times 10^{-27}$
β_{js}	$9,88 \times 10^{-27}$
β_{mj}	$2,50 \times 10^{-26}$
β_{mm}	$2,55 \times 10^{-26}$
β_{ms}	$2,89 \times 10^{-26}$
β_{sj}	$1,67 \times 10^{-26}$
β_{sm}	$1,66 \times 10^{-26}$
β_{ss}	$1,57 \times 10^{-26}$

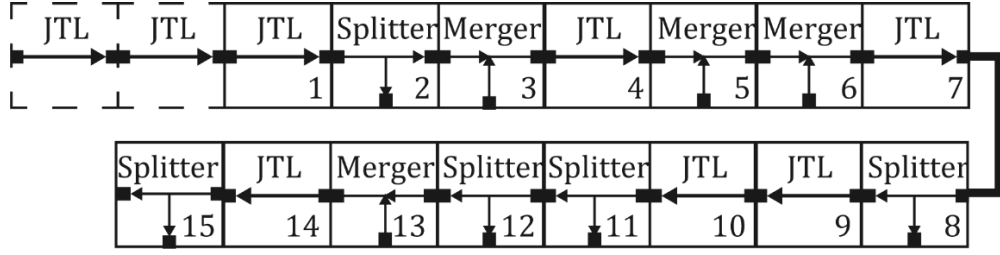
Şekil 5.1’de verilen devre için (18) denklemi ile yapılan örnek hesaplama için kullanılan denklem (19) de verilmiştir. Dikkat edilirse β ve ζ parametreleri bilindiği zaman varyans değerinin bulunması basit bir toplama işleminden ibarettir. Bu çalışmada kullanılan JTL ve splitter devreleri için Josephson eklemi sayısı 2 iken, merger devresi için 3’tür.

$$var = 2\beta_{ss} + 2\beta_{sm} + 3\beta_{mj} + 2\beta_{jj} + 2\beta_{jm} + 3\beta_{mm} + 3\beta_{mm} + \zeta \quad (19)$$

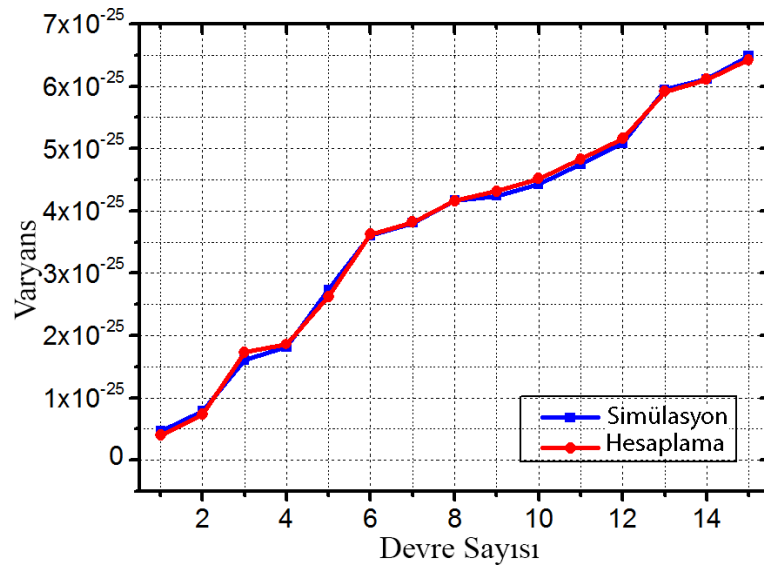
Her bir aşama için hesaplanan ve benzetimi yapılan değerler Şekil 5.3’de verilmiştir. Bu hesaplamalar aynı parametreler kullanılarak farklı devreler için denenip, modelin güvenilirliği ölçülmüştür. Bulunan sonuçlar Şekil 5.3 – Şekil 5.7 ile verilmiştir. Dikkat edilirse istatistiksel model ile hesaplanan sonuçlar oldukça hızlı ve kolay olup, benzetim sonuçları ile uyumludur.



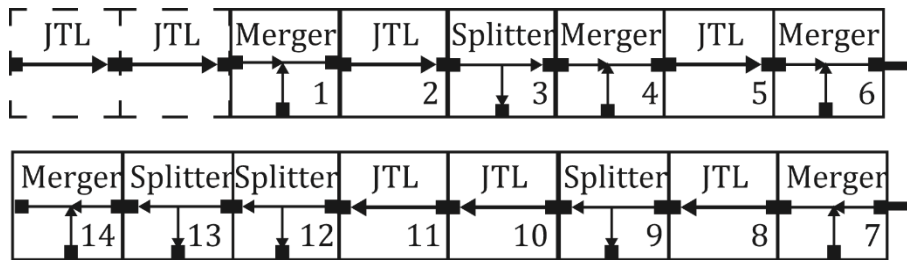
Şekil 5.3 – Şekil 5.1’de verilen devreler için hesaplanan ve benzetimi yapılan varyans değerleri. Varyans değerleri hesaplanırken Çizelge 5.1’deki parametreler kullanılmıştır.



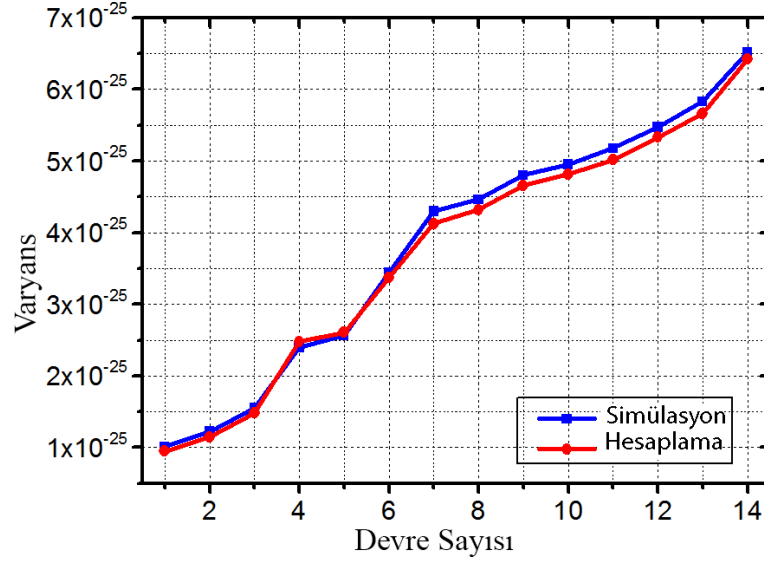
Şekil 5.4 – Kablolama devrelerinin birleşimlerinden oluşan ikinci test devresi.



Şekil 5.5 – İkinci test devresi için hesaplanan ve bulunan varyans değerleri.



Şekil 5.6 – Kablolama devrelerinin birleşimlerinden oluşan üçüncü test devresi.



Şekil 5.7 – Üçüncü test devresi için hesaplanan ve bulunan varyans değerleri.

5.2. Biriken Zamanlama Seğirmelerinin Kullanımı ve Saatli Devrelere Uygulanması

Büyük çaplı SFQ devrelerinde kullanılan kablolama devreleri önemli miktarda Josephson eklemi içerir. Eğer bir sinyal uzun bir kablolama hattından geçerek geliyorsa, bu yol üzerindeki sinyallerin seğirme miktarları birikmektedir. Bir önceki bölümde biriken bu seğirmelerin nasıl hesaplanacağı hususunda bir yöntem tartışılmıştır. Bu bölümde ise bulunan bu bilginin saatli bir devrenin çıktı verme olasılığının bulunması için nasıl kullanılabileceği tartışılmaktadır.

Saatli devreler için önemli bir parametre ise saat sinyali ile giriş sinyali arasındaki zaman farkıdır. Saatli bir devrenin doğru bir şekilde çıktı üretebilmesi için giriş sinyali saat sinyalinden önce ulaşmalıdır. Bu durum için gerekli asgari zaman farkına kurulma süresi (set-time) denir. Genellikle büyük devrelerde, termal gürültüler gibi etkilerden ötürü yüksek frekanslarda başarılı zamanlama işlemleri yapmak güçleşmektedir. Bu da bazı saat sinyallerinin giriş sinyaline yakın sürelerde olması ihtimalini arttırıp, zamanlama hatalarına sebebiyet vermektedir.

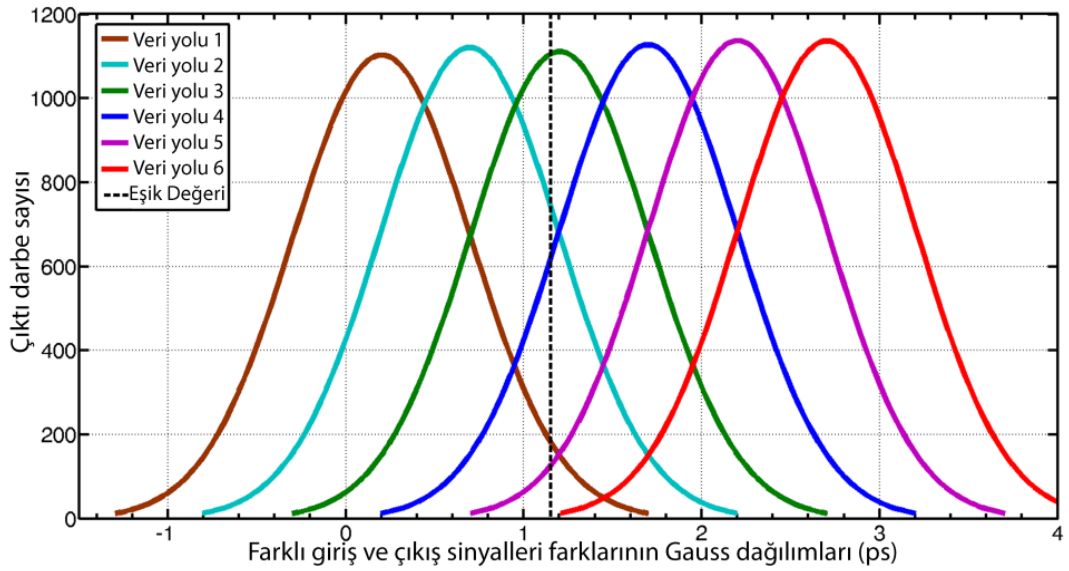
Bir devrenin çıktı olasılığı, başarılı olarak üretilen çıktı sinyallerinin beklenen sinyal sayısına oranıdır. Olasılıksal etkiler göz önünde bulundurulduğunda devrenin çıktı

olasılığı bir gri bölge (gray zone) oluşturmaktadır. Saatli bir devrenin düzgün çalışıp çalışmadığını belirlemek için saat sinyali ile giriş sinyali arasındaki zaman farkı bilinmelidir. Ancak olasılıksal etkiler göz önünde bulundurulduğunda bu sinyaller birer Gauss dağılımı olarak devreye ulaşmaktadır. Bu sebepten ötürü, zamanlamanın hesaplanması için iki Gauss eğrisinin farkı hesaplanmalıdır. Bu fark yeni bir Gauss eğrisi oluşturmaktadır. Oluşan bu eğrinin ortalama (μ) ve standart sapma (σ) değerleri (20) ve (21) de verildiği gibi hesaplanır.

$$\mu_{sonuç} = \mu_1 - \mu_2 \quad (20)$$

$$\sigma_{sonuç} = \sqrt{\sigma_1^2 + \sigma_2^2} \quad (21)$$

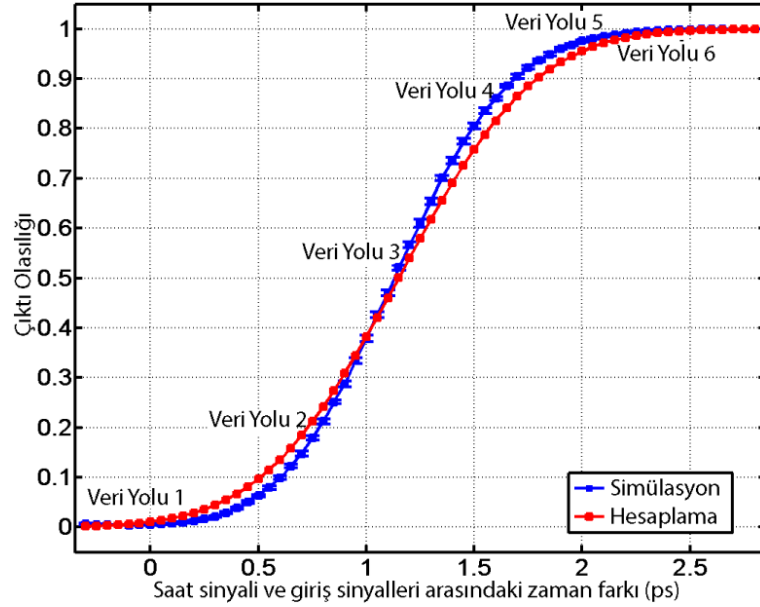
Biriken gürültünün saatli devreler üzerindeki etkisini incelemek üzere bir DFF devresine farklı veri yolları üzerinden ulaşan, saat ve giriş sinyalleri farkı hesaplanarak bulunmuş çeşitli eğri grupları Şekil 5.8’de verilmiştir.



Şekil 5.8 – DFF devresine ulaşan farklı saat ve giriş sinyalleri farklarının dağılımları. Her bir devrenin giriş sinyalinin ortalama değeri sabit iken, çıktı değerleri 0,5 ps kaymaktadır. Eşik değeri 1,15 ps'dir.

Bir devrenin çıktı olasılığının bulunabilmesi için, en küçük zaman aralığı şartının sağlanıp sağlanmadığı bilinmelidir. Böylece, devrenin çıktı olasılığı eşik değerinin

üzerinde kalan doğru çıktı sinyallerinin sayısı ile bulunabilir. İstatiksel model açısından, bir devrenin çıktı olasılığı çıktı dağılımının eşik değeri üzerinde kalan alanı hesaplanarak bulunabilir. Bu alan bir nümerik analiz programı ile dağılımın eşik noktasındaki birikimli dağılım fonksiyonunun hesaplanması ile elde edilebilir. Bulunan sonuç devrenin çıktı olasılığının elde edilmesi için hızlı ve kabul edilebilir bir değerdir. DFF devresi için farklı veri yollarından gelen sinyallerin istatistiksel olarak ve Jsim_n benzetimleri bulunan sonuçlar karşılaştırılmıştır. 60 Farklı noktada yapılan hesaplamalar için bulunan sonuçlar Şekil 5.9’da görülmektedir.



Şekil 5.9 – Farklı giriş devreleri tarafından sürülen DFF devresinin çıktı olasılığı.

Grafikte mavi renkle gösterilen 60 farklı veri noktasının benzetimleri 12 paralel işlemci ile bir saatten fazla sürmektedir. Hata çubuklarının bulunması için aynı değerler 20 kez tekrar hesaplanıp, elde edilen farklı değerler verinin üzerine çizilmiştir. Bütün noktaların hesaplanması 12 paralel işlemci ile yaklaşık 20 saat sürmüştür.

Kırmızı ile gösterilen istatistiksel hesaplamalar yapılırken öncelikle saat sinyalleri ile giriş sinyallerinin dağılımları (18) ile bulunup, iki dağılım arasındaki fark (20) ve (21) kullanılarak hesaplanıp, eşik değerindeki birikimli dağılım fonksiyonunun bulunmasıyla elde edilmiştir. Bütün bu işlemlerin yapılması birkaç saniye sürmektedir.

Dikkat edilirse, istatistiksel yöntem kullanılarak sayısal bir benzetim süresinde analog bir benzetime oldukça yakın bir bilgi elde edilebilmektedir.

6. SFQ DEVRELERİ İÇİN İSTATİSTİKSEL ZAMANLAMA BENZETİM ARACI (STATS)

SFQ devrelerdeki karmaşıklık seviyesinin artması ile pratik ve gerçekçi sonuçlar sağlayan benzetim yazılımlarının da önemi artmaktadır. Buna rağmen günümüzde kullanılan birçok araç yarı iletken devrelerin tasarımı için kullanılan programların değiştirilmesi ile elde edilmektedir. Dolayısıyla bu araçlar süperiletkenler üzerinde etkisi büyük olan sinyal varyasyonları gibi etkileri önemsememektedir. Ancak bu alanda yapılan çalışmalar, daha büyük ve daha hızlı devreler tasarlanabilmesi için SFQ için özelleşmiş tasarım araçlarının gerekli olduğunu göstermiştir [63].

Sinyal üzerinde oluşan varyasyonların sonuçları Jsim_n ve Pscan gibi analog benzetim araçları tarafından bulunabilmektedir. Fakat gerekli işlemlerin çokluğu ve hesaplama sürelerinin uzun olması sebebiyle, tasarlanan her devrenin analog benzetimlerini gerçeklemek mümkün olmamaktadır. Bu nedende büyük devrelerin benzetimleri her bir devrenin önceden hesaplanmış, sabit değerlere sahip devre modelleri kullanılarak, Verilog ve benzeri benzetim araçları ile yapılabilmektedir. Bu benzetimlerde elde edilen sonuçlar, üretilecek her elemanın tasarlanan değerler ile birebir aynı olacağını ve hiçbir değişim olmadığını varsaymaktadır. Bu çalışmada ise, büyük çaplı devreler için de kullanılabilir, her kapının istatistiki dağılım gösteren çıktılar vermesi modeline dayanan, SFQ devreleri için istatistiksel zamanlama benzetim aracı (STATS) geliştirilmiştir [64]. Geliştirilen bu araç kullanılarak devrelerin çıktı olasılıkları, gecikmeleri, kaymaları ve SFQ devrelerinin zamanlama hataları bulunabilmektedir.

6.1. Zamanlama Varyasyonlarının İstatistiksel Olarak Modellenmesi

6.1.1. Zamanlama Varyasyonlarının Olası Sebepleri

SFQ devreleri genellikle ana bileşenler olarak endüktans, direnç ve Josephson eklemlerinden oluşmaktadır [25]. Her bir devre elemanı fiziksel boyutlarına bağlı olan bir zamanlama parametresine sahiptir. Tasarım süreci içerisinde tasarlanan her hücrenin en az bir kez benzetimi yapıлып, zamanlamaların tasarım değerleri bulunur ve

hücrenin modeli oluşturulur. Ancak üretim sürecinde her bir elemanın fiziksel boyutları belirli bir dağılım sınırı içerisinde değişiklik gösterebilmektedir [65]. Boyutlarda meydana gelen bu değişiklik zamanlama değerlerinin tasarlanan değerden sapmasına hatta kritik durumlarda devrenin hatalı işlem yapmasına sebep olabilmektedir [66]. Bu etki, üretim kaynaklı varyasyon veya devre parametresi dağılımı olarak tanımlanır. Zamanlamalarda oluşan bu varyasyonlar istatistiksel olarak modellenebilmektedir [66], [67].

Tasarlanan zamanlamaların sapmasına sebep olan bir diğer etken ise özellikle devrede bulunan dirençlerden kaynaklanan termal gürültüdür [57]. Termal etkilerden ötürü oluşan varyasyon nedeniyle Josephson eklemleri beklenenden daha erken veya daha geç anahtarlayarak zamanlama hatalarına yol açabilmektedir [42].

Burada dikkat edilmesi gereken bir husus vardır. Bahsi geçen üretimden ve termal gürültüden kaynaklı varyasyonlar birbirinden bağımsız olarak devrelere etki etmektedir. Bu nedenle istatistiksel olarak bağımsız rastgele değişkenler olarak tanımlanabilir ve modellenebilir. Sonuç üzerinde ise bu iki etkinin toplamı kadarlık bir varyasyon görülür.

6.1.2. Çıktı Olasılık Dağılımlarının Hesaplanması

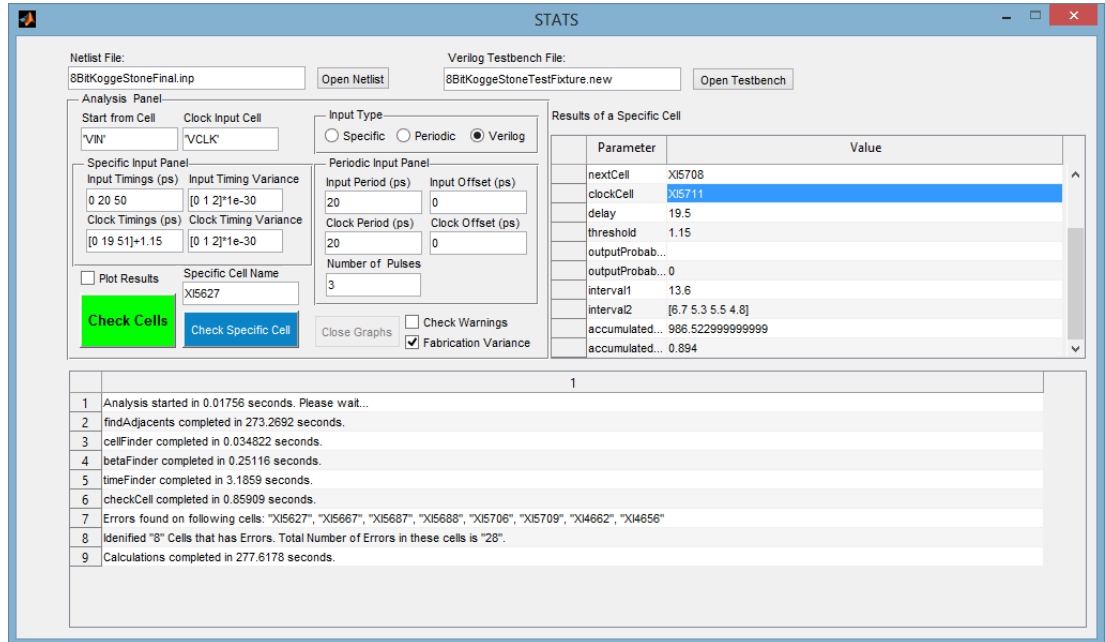
SFQ devrelerinde art arda gelen iki giriş sinyali veya saat sinyali ile giriş sinyali arasında zamanlama kısıtları bulunmaktadır. Bu kısıtları sağlamayan sinyaller zamanlama hatasına neden olur. Verilog gibi sayısal benzetim araçlarında kullanılan modellerin bütün zamanlama değerleri sabit olarak kabul edilir. Bu durumda saat ve giriş sinyalleri arasındaki farka bakılarak devre hakkında çalışıp çalışmadığı yorumu yapılabilir. Ancak gerçek durumda gelen sinyaller birer Gauss dağılımı formundadır. Dolayısıyla bir devrenin çıktı vermesi olasılığa bağlı olmaktadır. Bu olasılık değeri sinyallerin birikimli dağılım fonksiyonunun hesaplanmasıyla bulunabilmektedir.

6.2. Benzetim Aracının Kapasiteleri

Geliştirilen benzetim aracı ile devrelerin termal ve üretim etkenlerine bağlı olarak, analog bir benzetim yapılmaksızın, zamanlamalarda oluşan gecikmeler ve seğirmeler

hesaplanabilmektedir. Giriş sinyali periyodu veya saat ile giriş sinyali arasındaki zamanlama kısıtlarına uymayan hücreler de bulunabilmektedir. Ek olarak, eşik değeri parametreleri bilinen saatli devrelerde, çıktı olasılığı hesaplanabilmektedir. Bu durumun görülebilmesi için önceden belirtilmiş olan zamanlama kısıtları içerisinde düşen bir zamanlama dağılımı olması gereklidir.

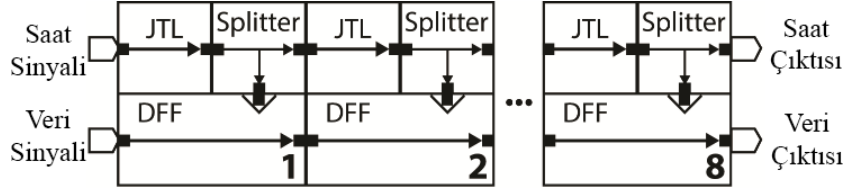
İstatistiksel zamanlama analiz aracının kullanıcı arayüzü Şekil 6.1’de verilmiştir. Bu arayüz üzerinden devrelerin şematiğini belirleyen bir Jsim_n girdi dosyası (netlist) kullanılarak, ister periyodik, ister keyfi girdiler uygulanarak benzetim yapılabilmektedir. Girdiler ayrıca Verilog benzetimleri için kullanılan bir girdi dosyasından da okunabilmektedir. Hesaplamaların tamamlanması sırasında bütün devrede bulunan bütün hücrelerin çıktı zamanlamaları hesaplanmakta, hata içeren devreler aşağı kısımdaki panelde raporlanmaktadır. İstenirse bütün hücrelerin benzetim sonuçları incelenebilmekte, böylece eğer hata meydana gelmişse, hangi elemanlarda hata olduğu, hataya sebebiyet veren elemanın zamanlamaları, hücrenin eşik değeri, çıktı olasılıkları gibi sonuçlar daha detaylı olarak incelenebilmektedir.



Şekil 6.1 – Geliştirilen istatistiksel analiz aracının kullanıcı arayüzü.

6.3. Geliştirilen Benzetim Aracı ile 8 Bit Kaydıran Yazmaç Devresinin Doğrulanması

Geliştirilen istatistiksel benzetim aracının kabiliyetlerini test edebilmek amacı ile 50 GHz'de çalışan bir kaydıran yazmaç devresi tasarlanmıştır. Tasarlanan bu devrenin şematik gösterimi Şekil 6.2'de verilmiştir. Devrenin zamanlamaları, hataları ve çıktı olasılıkları farklı girdi/çıkı birleşimleri için hesaplanmıştır. Devrenin çalışması termal gürültü etkileri de hesaba katılarak Jsim_n ve Verilog benzetimleri ile karşılaştırılmıştır.



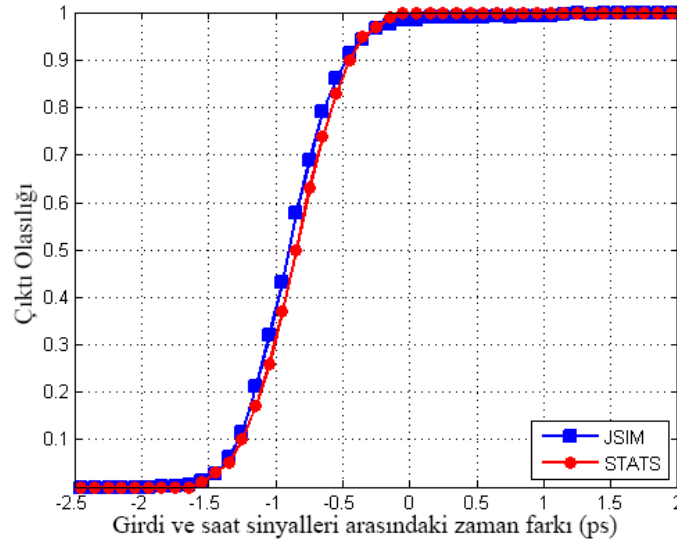
Şekil 6.2 – 8 bit kaydıran yazmaç devresinin şematik diyagramı.

Kayırdan yazmaç devresi tasarlanırken, devrenin doğru sonuç vermesi için dikkat edilmesi gereken bazı önemli limitler vardır. Bu limitlerden ilki devreye uygulanan giriş sinyalinin periyodudur ve bu değer bir DFF hücresinin çıktı verme süresinden büyük olmalıdır. Eğer girdi ve saat frekansı bu değerden daha sık olarak uygulanırsa, aşamalar arası saat kayması meydana gelir. Uygulanabilecek asgari giriş periyodunun hesaplanması Verilog benzetimleri ile de mümkündür. Tasarlanan kaydıran yazmaç devresinin giriş ve saat sinyallerinin periyodu Verilog, STATS ve Jsim_n benzetimleri ile hesaplandığında, sırasıyla 11 ps, 16 ps ve 17 ps olarak bulunmuştur.

Kayırdan yazmaç devresine ulaşan saat ve giriş sinyallerinin farklı sinyal yollarından gelmesi durumunda, saat sinyali ile giriş sinyali arasında zamanlama farklılıkları olabilir. Bu farklılıklar devrenin çıktı verme olasılığına etki edebilmektedir. Uygun girdi periyodu uygulandığı durumda, tasarlanan kaydırdan yazmaç devresinde bulunan ilk DFF devresinin (D1) çıktı olasılığının bulunması, tüm devrenin çıktı verme olasılığının bulunması için yeterlidir. Bu nedenden ötürü, sabit 20 ps periyoduna sahip girdi uygulanan 8 bitlik bir kaydıran yazmaç devresinin termal

gürültü etkileri altındaki zamanlamaları ve çıktı olasılıkları, Jsim_n ve STATS benzetimleri ile hesaplanmıştır. D1 için bulunan aralarında zaman farkı olan saat ve giriş sinyali değerlerinin çıktı olasılıkları grafiği Şekil 6.3’de verilmiştir. Yukarıda da bahsedildiği gibi, bu grafik tüm kaydırmalı yazmaç devresinin de çıktı olasılığı grafiğidir. Uygun girdi periyodu uygulanmayan kaydırmalı yazmaç devresinde saat kayması uzun periyodlara sahip Jsim_n benzetimleri ile gözlenebilirken, geliştirilen analiz aracı ile birkaç sinyalin hesaplanması sonucu uyarı mesajı olarak bildirilmektedir.

Kaydırmalı yazmaç devresi için bahsedilen iki durum için yapılan benzetimlere dikkat edildiğinde, STATS ile bulunan sonuçlar uzun süren analog benzetimlere oldukça yakın sonuçlar vermekte, bu işlemleri oldukça kısa sürede tamamlayabilmektedir. Bu sonuç, geliştirilen benzetim aracının çok sayıda hücreden oluşan devreler için de kullanılmasının mümkün olduğunu göstermektedir.



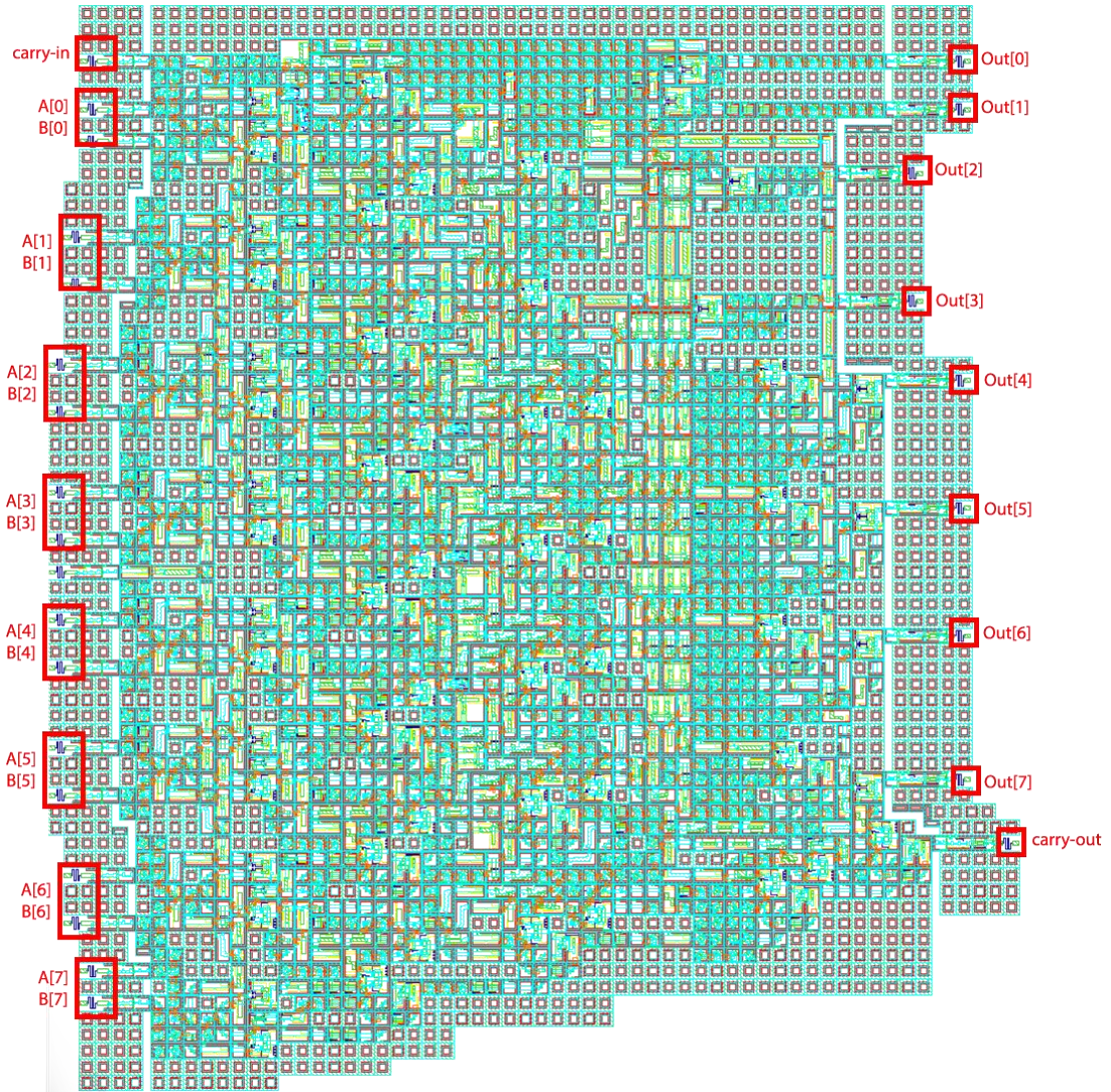
Şekil 6.3 – D1 hücresinin gri bölgedeki çıktı olasılıkları grafiği.

6.4. Geliştirilen Benzetim Aracı ile 8 Bit Kogge-Stone Toplayıcı Devresinin Doğrulanması

Geliştirilen istatistiksel benzetim aracı ile 6581 Josephson ekleminden oluşan, toplama algoritması olarak Kogge-Stone yöntemini [68] kullanan, 8 Bit Kogge-Stone toplayıcı devresinin [69] analizi yapılmıştır. Kullanılan devrenin şematik gösterimi Şekil 6.4’de

verilmiştir. Tasarlanan devre 8 bitlik iki girdi olarak toplamlarını 25 GHz'lik saat frekansı ile hesaplamakta, toplam 61 farklı türde 1671 hücrenin birleşimi ile oluşmaktadır. Toplayıcı devresinin elde çıktısını (carry-out) hesaplayan hücreler için gelen saat darbesi 68 kablolama hücresi üzerinden gelmektedir. Dolayısıyla bu hat üzerinden iletilen sinyal üzerinde biriken seğirme miktarı oldukça artmaktadır. Bu da elde biti hesaplanırken hataya yol açmakta, toplama işleminin yanlış yapılmasına neden olmaktadır.

Geliştirilen istatistiksel benzetim aracı ile bu devrenin benzetimi 4,5 dakika sürmektedir. Verilog benzetimlerinde hatasız çalışan toplayıcı devresinde biriken gürültü sinyali nedeniyle 8 hücrenin hatalı işlem yaptığı bulunmuştur. Elde (carry-out) bitini hesaplayan hücreler üzerinde biriken seğirme miktarı 0,903 ps olarak hesaplanmıştır. Bu değer saatli devrelerin eşik değeri olan 1,15 ps'ye yakın bir değerdir. Bu sebepten ötürü saat sinyali ile girdi sinyali arasındaki zaman farkı daha büyük olacak şekilde zamanlama değerlerine sahip hücreler seçilmesi gerekmektedir.



Şekil 6.4 – 8 Bit Kogge-Stone toplayıcı devresi şematiği [69].

Toplayıcı devresi üzerinde yapılan benzetim işlemleri geliştirilen istatistiksel analiz aracının büyük ölçekli devrelere de uygulanabilir olduğunu göstermektedir. Böylece devre üzerinde hatalı tasarlanan hücreler değiştirilip, zamanlama hatalarının önüne geçilebilir.

7. SONUÇLAR VE TARTIŞMA

Bu tezde öncelikle uzun süren, hatta çok sayıda hücreden oluşan karmaşık devreler için mümkün olmayan analog benzetimler için alternatif bir yöntem bulunmaya çalışılmıştır. Bu bağlamda temel SFQ hücrelerinin besleme gerilimi, girdi ve saat periyodu gibi etkilere göre gecikme ve seğirme değerlerinin analizi yapılmış, bulunan sonuçlara dayanan istatistiksel bir model oluşturulmuştur. Oluşturulan model sayesinde uzun süren analog benzetimler yerine kısa sürede kabul edilebilir bir hata miktarı ile istatistiksel hesaplamaların yapılabileceği sonucuna ulaşılmıştır.

Ancak oluşturulan modelin farklı türden SFQ hücrelerinin birleşimi durumunda istenilen hassasiyeti sağlamaması üzerine, seğirme değerini temel alan istatistiksel model hücre komşulukları dikkate alınacak şekilde varyans değeri üzerinden güncellenmiştir. Bu sayede farklı türden hücrelerin birleşimi ile oluşturulan devrelerin gecikme ve seğirme hesaplamalarının yapılması mümkün hale gelmiştir.

Oluşturulan istatistiksel model ile hesaplamaların kolaylıkla yapılabilmesi üzerine bu işlemleri otomatik olarak hesaplayan bir benzetim aracı geliştirilmiştir. Geliştirilen istatistiksel benzetim aracı günümüzde bu alanda yaygın olarak kullanılan analog benzetim aracı Jsim_n ve sayısal benzetim aracı olan Verilog ile uyumlu olarak çalışabilmekte, tasarımcı için ek bir külfete neden olmamaktadır. Bu araçlar için hazırlanan dosyalar kullanarak yapılan benzetimler analog hesaplamalardan oldukça kısa sürmekte, sayısal benzetimlerden ise daha hassas sonuçlar vermektedir.

Geliştirilen bu araç ile büyük çaplı devreler dâhil olmak üzere SFQ devrelerinin benzetimleri yapılabilmekte, özellikle zamanlama hatalarına neden olabilecek hücrelerin bulunması ve zamanlamaların varyasyon etkileri göz önüne alınarak ayarlanması hususunda fayda sağlamaktadır. Bu sayede üretilen devrelerin hatasız çalışma ihtimali de artmaktadır.

İstatistiksel benzetim aracı halen geliştirilmeye açık durumdadır. Özellikle bu araç tarafından kullanılan parametrelerin bulunması yoğun analiz işlemleri sonucunda elde edilmektedir. Bu nedenden ötürü işlemlerin otomatik olarak yapılması için otomatik parametre bulan bir benzetim aracı üzerinde çalışmalar devam etmektedir. Ek olarak

geliştirilen benzetim aracının günümüzde en çok kullanılan devre tasarım aracı olan Cadence programı ile birleştirilmesi ve üretilecek devrelerin otomatik olarak çalışma aralıklarının bulunması gibi konular da hedeflenmektedir.

KAYNAKLAR

- [1] C. P. Poole, H. A. Farach, R. J. Creswick, R. Prozorov, *Superconductivity*. Elsevier/Academic Press, Amsterdam; Boston, 2007.
- [2] “History of superconductivity”, erişim adresi: http://en.wikipedia.org/w/index.php?title=History_of_superconductivity, erişim tarihi: 25 Aralık 2013.
- [3] D. van Delft and P. Kes, The discovery of superconductivity, *Physics Today*, S-0031-9228-1009-020-4, 38–43, Eylül 2010.
- [4] H. Rogalla and P. H. Kes, 100 years of superconductivity. *CRC Press/Taylor & Francis Group*, Boca Raton, 2012.
- [5] “Meissner effect” erişim adresi: http://en.wikipedia.org/w/index.php?title=Meissner_effect, erişim tarihi: 25 Aralık 2013.
- [6] H. Gündoğmuş, 2013, Lazer Tekniği ile Üretilen Katkılı BSSCO Süperiletkenlerin Fiziksel Özelliklerinin Araştırılması, *Doktora Tezi, Çukurova Üniversitesi*, Fen Bilimleri Enstitüsü, Adana.
- [7] “Bose-Einstein yoğunlaşması ne demektir?”, erişim adresi: http://biltek.tubitak.gov.tr/merak_ettikleriniz/index.php?kategori_id=4&SORU_ID=2473, erişim tarihi: 25 Aralık 2013.
- [8] “Quantum tunnelling”, erişim adresi: http://en.wikipedia.org/w/index.php?title=Quantum_tunnelling, erişim tarihi: 25 Aralık 2013.
- [9] P. W. Anderson, How Josephson Discovered his Effect, *Physics Today*, 23–29, Kasım 1970.
- [10] R. P. Feynman, R. B. Leighton, and M. L. Sands, *The Feynman lectures on physics*. Addison-Wesley Pub. Co., Ohio, 1964.
- [11] “The Feynman Lectures on Physics Vol. III”, erişim adresi: http://www.feynmanlectures.caltech.edu/III_21.html#Ch21-S9, erişim tarihi: 25 Aralık 2013.
- [12] J. Du, A. D. Hellicar, L. Li, S. M. Hanham, N. Nikolic, J. C. Macfarlane, and K. E. Leslie, Terahertz imaging using a high-T_c superconducting Josephson junction detector, *Supercond. Sci. Technol.*, vol. 21, no. 12, p. 125025, 2008.
- [13] K. E. Gray, L. Ozyuzer, A. E. Koshelev, C. Kurter, K. Kadowaki, T. Yamamoto, H. Minami, H. Yamaguchi, M. Tachiki, W.-K. Kwok, and U. Welp, Emission of Terahertz Waves From Stacks of Intrinsic Josephson Junctions, *IEEE Trans. Appl. Supercond.*, vol. 19, no. 3, 886–890, 2009.
- [14] H. B. Wang, P. H. Wu, and T. Yamashita, “Terahertz Responses of Intrinsic Josephson Junctions in High TC Superconductors,” *Phys. Rev. Lett.*, vol. 87, no. 10, p. 107002, 2001.
- [15] C. J. Burroughs, S. P. Bent, T. E. Harvey, and C. A. Hamilton, 1 volt DC programmable Josephson voltage standard, *IEEE Trans. Appl. Supercond.*, vol. 9, no. 2, 4145–4149, 1999.
- [16] C. A. Hamilton, F. L. Lloyd, K. Chieh, and W. C. Goeke, A 10-V Josephson voltage standard, *IEEE Trans. Instrum. Meas.*, vol. 38, no. 2, 314–316, 1989.
- [17] C. A. Hamilton, Josephson voltage standards, *Rev. Sci. Instrum.*, vol. 71, no. 10, 3611–3623, 2000.

- [18] F. L. Lloyd, C. A. Hamilton, J.-A. Beall, D. Go, R. H. Ono, and R. E. Harris, A Josephson array voltage standard at 10 V, *IEEE Electron Device Lett.*, vol. 8, no. 10, 449–450, 1987.
- [19] H. Schulze, R. Behr, F. Müller, and J. Niemeyer, Nb/Al/AlO_x/AlO_x/Al/Nb Josephson junctions for programmable voltage standards, *Appl. Phys. Lett.*, vol. 73, no. 7, 996–998, 1998.
- [20] “Generalized Josephson Junctions”, 6.763 2003 Lecture 13, Massachusetts Institute of Technology, 16 Ekim 2003.
- [21] I. Giaever, Electron tunneling and superconductivity, *Rev. Mod. Phys.*, vol. 46, no. 2, 245–250, 1974.
- [22] “Flux quantization”, erişim adresi: <http://www.supraconductivite.fr/en/index.php?p=applications-squid-quantification>, erişim tarihi: 25 Aralık 2013
- [23] J. Clarke and A. I. Braginski, The SQUID Handbook: Fundamentals and Technology of SQUIDS and SQUID Systems, *Wiley-VCH*, Weinheim; Cambridge 2002.
- [24] “SQUID Magnetometer”, erişim adresi: <http://hydrogen.physik.uni-wuppertal.de/hyperphysics/hyperphysics/hbase/solids/squid.html>, erişim tarihi: 25 Aralık 2013
- [25] K. K. Likharev and V. K. Semenov, RSFQ logic/memory family: A new Josephson-junction technology for sub-terahertz-clock-frequency digital systems, *IEEE Trans. Appl. Supercond.*, vol. 1, no. 1, 3–28, 1991.
- [26] D. E. Kirichenko, S. Sarwana, and A. F. Kirichenko, Zero Static Power Dissipation Biasing of RSFQ Circuits, *IEEE Trans. Appl. Supercond.*, vol. 21, no. 3, pp. 776–779, 2011.
- [27] O. A. Mukhanov, Energy-Efficient Single Flux Quantum Technology, *IEEE Trans. Appl. Supercond.*, vol. 21, no. 3, pp. 760–769, 2011.
- [28] M. H. Volkmann, A. Sahu, C. J. Fourie, and O. A. Mukhanov, Implementation of energy efficient single flux quantum digital circuits with sub-aJ/bit operation, *Supercond. Sci. Technol.*, vol. 26, no. 1, 015002, 2013.
- [29] O. A. Mukhanov, I. Vernik, A. Kirichenko, A. Kadin, K. D. Choquette, M. P. Tan, and T. Fryslye, Development of Energy-efficient Cryogenic Optical (ECO) data link, in Superconductive Electronics Conference (ISEC), 2013 IEEE 14th International, 2013.
- [30] “The Niobium Process”, erişim adresi: <http://www.hypres.com/foundry/niobium-process>, erişim tarihi: 25 Aralık 2013
- [31] R. Gross, A. Marx, Applied Superconductivity: Josephson Effect and Superconducting Electronics. *Walther-Meißner-Institut*, Garching, 2005.
- [32] S. Yorozu, Y. Kameda, H. Terai, A. Fujimaki, T. Yamada, and S. Tahara, A single flux quantum standard logic cell library, *Phys. C Supercond.*, vol. 378, 1471–1474, 2002.
- [33] M. Dorojevets, P. Bunyk, and D. Zinoviev, FLUX chip: design of a 20-GHz 16-bit ultrapipelined RSFQ processor prototype based on 1.75- μ m LTS technology, *IEEE Trans. Appl. Supercond.*, vol. 11, no. 1, 326–332, 2001.

- [34] P. Bunyk, M. Leung, J. Spargo, and M. Dorojevets, Flux-1 RSFQ microprocessor: physical design and test results, *IEEE Trans. Appl. Supercond.*, vol. 13, no. 2, 433 – 436, 2003.
- [35] M. Dorojevets, P. Bunyk, D. Zinoviev, and K. Likharev, COOL-0: Design of an RSFQ subsystem for petaflops computing, *IEEE Trans. Appl. Supercond.*, vol. 9, no. 2, 3606 –3614, 1999.
- [36] N. Miyaho, A. Yamazaki, T. Sakurai, and K. Miyahara, Next generation IP Router architecture using SFQ technology, Asia-Pacific Conference on Communications (APCC '06), Busan, Korea, 2006.
- [37] D. Y. Zinoviev, Design issues in ultra-fast ultra-low-power superconductor Batcher-banyan switching fabric based on RSFQ logic/memory family, *IEEE Trans. Appl. Supercond.*, vol. 5, no. 7–12, 235–239, 1997.
- [38] O. A. Mukhanov, V. K. Semenov, W. Li, T. V. Filippov, D. Gupta, A. M. Kadin, D. K. Brock, A. F. Kirichenko, Y. A. Polyakov, and I. V. Vernik, A superconductor high-resolution ADC, *IEEE Trans. Appl. Supercond.*, vol. 11, no. 1, 601 –606, 2001.
- [39] J. C. Lin, V. K. Semenov, and K. K. Likharev, Design of SFQ-counting analog-to-digital converter, *IEEE Trans. Appl. Supercond.*, vol. 5, no. 2, 2252–2259, 1995.
- [40] E. B. Wikborg, V. K. Semenov, and K. K. Likharev, RSFQ front-end for a software radio receiver, *IEEE Trans. Appl. Supercond.*, vol. 9, no. 2, 3615 –3618, 1999.
- [41] V. Semenov, Y. Polyakov, and D. Schneider, Preliminary results on the analog-to-digital converter based on RSFQ logic, *Conference on Precision Electromagnetic Measurements Digest*, SUPL15 –SUPL16, 1996.
- [42] A. V. Rylyakov and K. K. Likharev, Pulse jitter and timing errors in RSFQ circuits, *IEEE Trans. Appl. Supercond.*, vol. 9, no. 2, 3539–3544, 1999.
- [43] P. Bunyk and D. Zinoviev, Experimental characterization of bit error rate and pulse jitter in RSFQ circuits, *IEEE Trans. Appl. Supercond.*, vol. 11, no. 1, 529–532, 2001.
- [44] I. Kataeva, H. Akaike, A. Fujimaki, N. Yoshikawa, S. Nagasawa, and N. Takagi, Clock Line Considerations for an SFQ Large Scale Reconfigurable Data Paths Processor, *IEEE Trans. Appl. Supercond.*, vol. 21, no. 3, 809–813, 2011.
- [45] M. Terabe, A. Sekiya, T. Yamada, and A. Fujimaki, Timing Jitter Measurement in Single-Flux-Quantum Circuits Based on Time-to-Digital Converters With High Time-Resolution, *IEEE Trans. Appl. Supercond.*, vol. 17, no. 2, 552–555, 2007.
- [46] A. M. Herr, M. J. Feldman, and M. F. Bocko, Timing jitter and bit errors in a 64-bit circular shift register, *IEEE Trans. Appl. Supercond.*, vol. 9, no. 2, 3721–3724, 1999.
- [47] “Johnson–Nyquist noise”, erişim adresi: http://en.wikipedia.org/wiki/Johnson%E2%80%93Nyquist_noise, erişim tarihi: 25 Aralık 2013.
- [48] M. Jeffery, P. Y. Xie, S. R. Whiteley, and T. Van Duzer, Monte Carlo and thermal noise analysis of ultra-high-speed high temperature superconductor digital circuits, *IEEE Trans. Appl. Supercond.*, vol. 9, no. 2, 4095 –4098, 1999.

- [49] V. Kaplunenko, Noise consideration in RSFQ circuits, *Phys. C Supercond.*, vol. 372–376, Part 1, 119–123, 2002.
- [50] V. Kaplunenko and V. Borzenets, Time jitter measurement in a circular Josephson transmission line, *IEEE Trans. Appl. Supercond.*, vol. 11, no. 1, 288–291, 2001.
- [51] O. Wetzstein, M. Mueller, T. Ortlepp, H. Toepfer, W. Fengler, and H.-G. Meyer, Consideration of jitter effects in high level simulations of RSFQ circuits, presented at the Superconductivity Centennial Conference 2011, Hague, Netherlands, 2011.
- [52] A. H. Silver and Q. P. Herr, A new concept for ultra-low power and ultra-high clock rate circuits, *IEEE Trans. Appl. Supercond.*, vol. 11, no. 1, 333–336, 2001.
- [53] A. Kitayama, M. Tanaka, M. Ito, T. Kouketsu, and A. Fujimaki, Nano-watt demonstration of rapid-single-flux-quantum circuits at 20 GHz, Superconductivity Centennial Conference 2011, Hague, Netherlands, 2011.
- [54] E. S. Fang and T. Van Duzer, A Josephson integrated circuit simulator (JSIM) for superconductive electronics application, 2nd ISEC, 407–410, Tokyo, Japan 1989.
- [55] S. Polonsky, P. Shevchenko, A. Kirichenko, D. Zinoviev, and A. Rylyakov, PSCAN'96: new software for simulation and optimization of complex RSFQ circuits, *IEEE Trans. Appl. Supercond.*, vol. 7, no. 2, 2685–2689, 1997.
- [56] V. Adler, C.-H. Cheah, K. Gaj, D. K. Brock, and E. G. Friedman, A Cadence-based design environment for single flux quantum circuits, *IEEE Trans. Appl. Supercond.*, vol. 7, no. 2, 3294–3297, 1997.
- [57] T. Ortlepp and F. H. Uhlmann, Noise Induced Timing Jitter: A General Restriction for High Speed RSFQ Devices, *IEEE Trans. Applied Supercond.*, vol. 15, no. 2, 344–347, 2005.
- [58] M. Terabe, A. Sekiya, T. Yamada, and A. Fujimaki, Timing Jitter Measurement in Single-Flux-Quantum Circuits Based on Time-to-Digital Converters With High Time-Resolution, *IEEE Trans. Appl. Supercond.*, vol. 17, no. 2, 552–555, 2007.
- [59] M. Eren Çelik and A. Bozbey, Analysis of Delay and Jitter of Rapid Single Flux Quantum Wiring Cells, *J Supercond Nov Magn*, 1–9, 2012, doi: 10.1007/s10948-012-1837-1.
- [60] V. Mladenov, V. Todorov, B. Dimov, Th. Ortlepp, and F. H. Uhlmann, Statistical Description and Optimization of the Time-Domain Parameters of Asynchronous RSFQ Digital Circuits, 51. Internationales Wissenschaftliches Kolloquium (51. IWK), Technische Universität Ilmenau, Germany, 2006.
- [61] A. Bozbey, S. Miyajima, H. Akaike, and A. Fujimaki, “Single-Flux-Quantum Circuit Based Readout System for Detector Arrays by Using Time to Digital Conversion,” *IEEE Trans. Appl. Supercond.*, vol. 19, no. 3, 509–513, 2009.
- [62] M. Eren Çelik and A. Bozbey, A Statistical Approach to Delay, Jitter and Timing of Signals of RSFQ Wiring Cells and Clocked Gates, *IEEE Trans. Appl. Supercond.*, vol. 23, no. 3, 1701305–1701305, 2013.
- [63] C. J. Fourie and M. H. Volkmann, Status of Superconductor Electronic Circuit Design Software, *IEEE Trans. Appl. Supercond.*, vol. 23, no. 3, 1300205–1300205, 2013.

- [64] M. E. Çelik and A. Bozbey, Statistical timing analysis tool for SFQ cells (STATS), *Superconductive Electronics Conference (ISEC), 2013 IEEE 14th International*, 2013, 1–3.
- [65] Y. Tukul, A. Bozbey, and C. A. Tunc, Development of an Optimization Tool for RSFQ Digital Cell Library Using Particle Swarm, *IEEE Trans. Appl. Supercond.*, vol. 23, no. 3, p. 1700805, Jun. 2013.
- [66] V. K. Semenov, Y. A. Polyakov, and W. Chao, Extraction of impacts of fabrication spread and thermal noise on operation of superconducting digital circuits, *IEEE Trans. Appl. Supercond.*, vol. 9, no. 2, 4030–4033, 1999.
- [67] T. Orllepp and F. H. Uhlmann, Technology related timing jitter in superconducting electronics, *IEEE Trans. Appl. Supercond.*, vol. 17, no. 2, 534–537, 2007.
- [68] P. M. Kogge and H. S. Stone, A Parallel Algorithm for the Efficient Solution of a General Class of Recurrence Equations, *IEEE Trans. Comput.*, vol. C–22, no. 8, 786–793, 1973.
- [69] M. Ozer, Y. Tukul, M. Eren Çelik, and A. Bozbey, Design of RSFQ Asynchronous Pipelined Kogge-Stone Adder and Developing Custom Compound Gates, submitted for publication, 7th Asian Conference on Applied Superconductivity and Cryogenics (7th ACASC), Cappadocia, Turkey, 2013.

EKLER

EK 1: Şekil 4.1 ile verilen test şeması için hazırlanan netlist.

```
**** **  
*JSIM control file for CADENCE by kameda@cq.jp.nec.com  
**** **  
  
*JSIM model  
.model jjmod jj(Rtype=1, Vg=2.8mV, Cap=0.218pF, R0=200, Rn=17, Icrit=0.1mA)  
  
*** netlist file ***  
**** **  
*** Lib : Eren  
*** Cell: JTLBasic  
*** View: schematic  
**** **  
  
*** sink  
.subckt sink      1      2  
***   din  
RX1      2      3  8.34  
RX2      4      0  4.02  
LPIN     1      5  0.361pH  
LPR1     3      5  0.247pH  
L3       6      4  5.208pH  
L1       5      6  2.408pH  
LP1      7      0  0.096pH  
B1       6      7  jjmod area=2.16  
RXS1     6      7  1.73  
.ends  
  
*** jtl  
.subckt jtl      1      8      9  
***   din      dout  
R1       9      10  8.34  
LPIN     1      11  0.351pH  
LPR1     10     11  0.260pH  
L2       12     7   4.766pH  
L3       7      8   2.015pH  
L1       11     12  2.428pH  
LP2      13     0   0.096pH  
LP1      6      0   0.083pH  
B2       7      13  jjmod area=2.16  
RS2      7      13  1.73  
B1       12     6   jjmod area=2.16  
RS1      12     6   1.73  
.ends  
  
*** jtl2  
.subckt jtl2     1      8      9  
***   din      dout  
RX1      9      10  8.34
```

```

LPIN      1   11  0.351pH
LPR1     10  11  0.260pH
L2       12   7  4.766pH
L3       7    8  2.015pH
L1       11  12  2.428pH
LP2      13   0  0.096pH
LP1      6    0  0.083pH
B2       7   13  jjmod area=2.16
RXS2     7   13  1.73
B1      12   6  jjmod area=2.16
RXS1    12   6  1.73
.ends

```

```

*** top cell: JTLBasic

```

```

XIEND      sink      51      16
VIN        15      0 PULSE(0.0mV 1.035mV 0.0ps 1.0ps 1.0ps 1.0ps 200.0ps)
VBIAS     16      0 PWL(0p 0m 1p 2.5m)
XI2       jtl      17      51      16
*XI4      jtl2     32      51      16
*XI3      jtl2     31      32      16
XI1       jtl2     18      17      16
XI0       jtl2     15      18      16
*** netlist file ***

```

```

*** jsim input file ***

```

```

.tran 0.1ps 100ps 1ps 0.1ps
.file OUT1
.options numdgt=9
.print devv XI1_B2
.print devv XI2_B2
*** jsim input file ***

```

Ek 2: Bir JTL devresi için oluşturulmuş Verilog modeli.

```
module jtl (dout, din);
    output dout;
    input din;

    parameter bias_voltage = `BV ;
    parameter BV70 = 1.75 ;
    parameter DIN__DOUT__1 = 12.9 ;
    parameter DIN__DIN__1 = 21.5 ;
    parameter BV75 = 1.875 ;
    parameter DIN__DOUT__2 = 11.7 ;
    parameter DIN__DIN__2 = 19.4 ;
    parameter BV80 = 2 ;
    parameter DIN__DOUT__3 = 10.9 ;
    parameter DIN__DIN__3 = 17.7 ;
    parameter BV85 = 2.125 ;
    parameter DIN__DOUT__4 = 10.1 ;
    parameter DIN__DIN__4 = 16.4 ;
    parameter BV90 = 2.25 ;
    parameter DIN__DOUT__5 = 9.3 ;
    parameter DIN__DIN__5 = 15.2 ;
    parameter BV95 = 2.375 ;
    parameter DIN__DOUT__6 = 8.7 ;
    parameter DIN__DIN__6 = 14.1 ;
    parameter BV100 = 2.5 ;
    parameter DIN__DOUT__7 = 8.2 ;
    parameter DIN__DIN__7 = 13.3 ;
    parameter BV105 = 2.625 ;
    parameter DIN__DOUT__8 = 7.7 ;
    parameter DIN__DIN__8 = 12.5 ;
    parameter BV110 = 2.75 ;
    parameter DIN__DOUT__9 = 7.3 ;
    parameter DIN__DIN__9 = 11.7 ;
    parameter BV115 = 2.875 ;
    parameter DIN__DOUT__10 = 6.8 ;
    parameter DIN__DIN__10 = 11 ;
    parameter BV120 = 3 ;
    parameter DIN__DOUT__11 = 6.4 ;
    parameter DIN__DIN__11 = 10.4 ;
    parameter BV125 = 3.125 ;
    parameter DIN__DOUT__12 = 6.1 ;
    parameter DIN__DIN__12 = 9.9 ;
    parameter BV130 = 3.25 ;
    parameter DIN__DOUT__13 = 5.7 ;
    parameter DIN__DIN__13 = 9.3 ;

    __jtl    #(bias_voltage,
              BV70, DIN__DOUT__1, DIN__DIN__1,
              BV75, DIN__DOUT__2, DIN__DIN__2,
              BV80, DIN__DOUT__3, DIN__DIN__3,
              BV85, DIN__DOUT__4, DIN__DIN__4,
              BV90, DIN__DOUT__5, DIN__DIN__5,
              BV95, DIN__DOUT__6, DIN__DIN__6,
```

```
BV100, DIN_DOUT_7, DIN_DIN_7,  
BV105, DIN_DOUT_8, DIN_DIN_8,  
BV110, DIN_DOUT_9, DIN_DIN_9,  
BV115, DIN_DOUT_10, DIN_DIN_10,  
BV120, DIN_DOUT_11, DIN_DIN_11,  
BV125, DIN_DOUT_12, DIN_DIN_12,  
BV130, DIN_DOUT_13, DIN_DIN_13)    jtl_0(din, dout);  
endmodule
```

ÖZGEÇMİŞ

Kişisel Bilgiler

Soyadı, Adı : Çelik, Mustafa Eren
Uyruğu : T.C.
Doğum tarihi ve yeri : 05.10.1988 – Ankara
E-posta : mecelik@etu.edu.tr

Eğitim

Derece	Eğitim Birimi	Mezuniyet Tarihi
Lisans	Kırıkkale Üniversitesi / Fizik	2010

İş Deneyimi

Yıl	Yer	Görev
2011-2014	TOBB Ekonomi ve Teknoloji Üniversitesi Elektrik-Elektronik Mühendisliği Süperiletkenlik Laboratuvarı	Araştırma Görevlisi
2010-2011	Ankara Üniversitesi Fizik Bölümü Katıhal Malzeme Araştırma Laboratuvarı	Misafir Araştırmacı

Yabancı Dil

İngilizce

Yayımlar

SCI Dergi Makaleleri

- M. Eren Çelik and A. Bozbey, "A Statistical Approach to Delay, Jitter and Timing of Signals of RSFQ Wiring Cells and Clocked Gates" *IEEE Trans. Appl. Supercond.*, vol. 23, no. 3, pp. 1701305–1701305, 2013.
- M. Eren Çelik and A. Bozbey, "Analysis of delay and jitter of rapid single flux quantum wiring cells", *J Supercond Nov Magn*, pp 1–9, 2012, doi: 10.1007/s10948-012-1837-1.
- M. Ozer, Y. Tükel, M. Eren Çelik, and A. Bozbey, Design of RSFQ Asynchronous Pipelined Kogge-Stone Adder and Developing Custom Compound Gates, submitted for publication, 7th Asian Conference on Applied Superconductivity and Cryogenics (7th ACASC), Cappadocia, Turkey, 2013.

Konferans Bildirileri

- M. Eren Çelik and A. Bozbey, “Statistical Timing Analysis Tool for SFQ Cells (STATS)”, 14th International Superconductive Electronics Conference (ISEC 2013), 7-11 July 2013, Boston, MA, USA. (SCI)
- M. Eren Çelik and A. Bozbey, “A Statistical Approach to Delay, Jitter and Critical Path of RSFQ Wiring Cells and Clocked Gates”, Applied Superconductivity Conference (ASC 2012), 7-12 October 2012, Portland, OR, USA.
- M. Eren Çelik and A. Bozbey, "Analysis of Delay and Jitter of Basic Single Flux Quantum Logic Gates", International Conference on Superconductivity and Magnetism (ICSM 2012), 29 April – 4 May 2012, İstanbul, Turkey.
- M. Eren Çelik, A. Bozbey, “Systematic Workflow of Josephson Junction Based Circuits”, International Student Workshop on Condensed Matter and Materials Physics 2011 (ISWCMMP 2011), 27-31 December, 2011.
- A. Bozbey, M. Eren Çelik, M. Ozer, S. Razmkhah, C. A. Tunc, Y. Tukel, “Design Efforts Towards Large Scale Digital and Mixed Signal SFQ Integrated Circuits”, 8th FLUXONICS RSFQ Design Workshop 2013, 23-25 September, 2013, Ilmenau University of Technology, Ilmenau, Germany.
- A. Bozbey, M. Eren Çelik, Y. Tukel, C. A. Tunc, “Development of a PSO based circuit optimizer and critical path analyzer for RSFQ circuits”, International Symposium on Superconductivity, 18-20 November 2013, Tokyo, Japan.