

TOBB EKONOMİ VE TEKNOLOJİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

**6G UYGULAMALARI İÇİN TERAHERTZ CMOS ÇINLAYICI DEVRESİNİN
FARKLI TEKNOLOJİLER İLE TASARIMI**

YÜKSEK LİSANS TEZİ

Utku ULUER

Elektrik Elektronik Mühendisliği Anabilim Dalı

Tez Danışmanı: Doç. Dr. Mehmet ÜNLÜ

Eş Danışman: Dr. Ertan ZENCİR

AĞUSTOS 2022

ÖZET

Yüksek Lisans Tezi

6G UYGULAMALARI İÇİN TERAHERTZ CMOS ÇINLAYICI DEVRESİNİN FARKLI TEKNOLOJİLER İLE TASARIMI

Utku ULUER

TOBB Ekonomi ve Teknoloji Üniversitesi
Fen Bilimleri Enstitüsü
Elektrik-Elektronik Mühendisliği Anabilim Dalı

Danışman: Doç. Dr. Mehmet ÜNLÜ

Eş Danışman: Dr. Ertan ZENCİR

Tarih: Ağustos 2022

Günümüz teknolojisi, iletişim, spektroskopi, servo motor kontrolü vb. dahil olmak üzere sabit bir sinyal kaynağının gerekli olduğu çeşitli alanlarda yüksek frekanslarda çalışabilen devre bileşenlerinin ve sistemlerinin geliştirilmesine öncülük etmektedir. Özellikle haberleşme sektöründe, yüksek veri hızları için alıcı-verici entegre devrelerin çalışma frekanslarının da terahertz (THz) aralığına ulaştığı görülmektedir. Araştırmalar, verici ve alıcı mimarilerini ayrı ayrı oluşturan ve frekans arttıkça terahertz frekanslarına uyum sağlayan alt parçaların oluşturulmasına yönelik çalışmaların gerekliliğini doğurmuştur. Ayrıca, 5G'nin ötesindeki iletişim teknolojisi, THz altı frekanslarda çalışan güvenilir devreler gerektirmektedir.

Bu tezde, alt-THz frekansları hedeflenerek, alışılmadık dışında yöntemlerle dönüşüm verimliliği (Doğru akımdan Radyo frekansa) esas alınarak, entegre sinyal kaynaklarının performansının artırılması amaçlanmaktadır. 22 nm FDSOI ve 65 nm CMOS teknolojilerinde temel bir diferansiyel osilatör devre topolojisi araştırılmıştır. Her iki teknolojiye de THz altı frekanslarda kararlı salınım elde etmek için aynı devre topolojisi kullanılmaktadır. Transistör küçük sinyal modellerini ve osilatör devre modellerini geliştirmek için teorik temeller araştırılmıştır. Bu geliştirilmiş devre

modelleri ile temel diferansiyel salıngaç devresi analiz edilir. Bu analizlerde, Z(Y)-parametreleri kullanılarak giriş empedansı hesaplanmakta ve osilasyon çekirdeğini oluşturan teorik eşitliklere ulaşılmaktadır.

22 nm FDSOI, düşük sızıntı ve hızlı çalışma avantajları ile verimli sinyal kaynağı tasarlamak için göze çarpan bir teknolojidir. Bu teknoloji verileri kullanılarak 300 GHz ve 350 GHz operasyonlu iki osilatör devresi Süreç Tasarım Kiti (STK) modelleri kullanılarak tasarlanmıştır. 22 nm FDSOI'nin yetenekleri ve yüksek frekans performansı, alt-THz frekanslarında verimli sinyal üretici tasarlamaya uygunluğu açısından incelenmiştir. Bu bağlamda, 600 mV ve 200 mV tepeden tepeye (V_{p-p}) sinyaller, 22 nm FDSOI'de sırasıyla 300 GHz ve 350 GHz osilatörlerden elde edilmiştir. Benzer şekilde bu tezin ana amacı kapsamında, 65 nm CMOS'ta üretime hazır 190 GHz temel diferansiyel osilatör devresi geliştirilmiştir. Üretime hazır osilatör devresi %1,915 DA-RF verimliliği gibi başarılı bir değerle sonuçlanmıştır. 65 nm CMOS'ta geliştirilen bu osilatör devresi, transistör gövde bağlantısının, THz altı frekanslarda DA-RF verimliliği üzerindeki etkisini araştırmak için kullanılmıştır. Üç tip gövde bağlantısı kullanılmıştır: geleneksel topraklanmış gövde, kaynak terminale bağlı gövde ve yüzer gövde. En iyi performans, benzetim sonuçlarına göre 209.3 GHz'de 1.57 V_{p-p} diferansiyel direnaja terminal voltajına ulaşan yüzer gövdeli transistörlerle elde edilmiştir. Topraklanmış gövde ve kaynak terminale bağlı gövde transistörlerle elde edilen sonuçlar, sırasıyla 210.6 GHz ve 210 GHz'de 1.26 V_{p-p} ve 1.23 V_{p-p} 'dir. Ek olarak, güç hesaplarını yapabilmek ve gelecekteki ölçüm çalışmalarına hazırlık için bir diferansiyelden tek uçluya transformatör kullanılarak osilatörün çıkışına 50 ohm'luk yük bağlanmıştır. Transformatör ile, farklı gövde bağlantılarına sahip üç osilatör devresinin tümü yaklaşık 191 GHz'de salınır. Topraklanmış gövde, kaynağa bağlı gövde ve yüzer gövde konfigürasyonları için çıkış gücü sırasıyla -7.49 dBm, -8 dBm ve -6.35 dBm'dir.

Anahtar Kelimeler: Milimetre dalga, Terahertz, Temel osilatör, Maksimum salınım frekansı, DA-RF verimliliği, 65-nm CMOS, 22-nm FDSOI.

ABSTRACT

Master of Science

DESIGN OF TERAHERTZ CMOS OSCILLATOR CIRCUIT IN DIFFERENT TECHNOLOGIES FOR 6G APPLICATIONS

Utku ULUER

TOBB University of Economics and Technology
Institute of Natural and Applied Sciences
Electrical and Electronics Engineering Science Programme

Supervisor: Doc. Dr. Mehmet ÜNLÜ

Co-supervisor: Dr. Ertan ZENCİR

Date: August 2022

Today's technology has pioneered the creation of circuit components and systems that can work at high frequencies in various domains where a steady signal source is required, including communication, spectroscopy, servo motor control, and so on. It is observed, particularly in the sector of communication, that the operating frequencies of transceiver ICs for high data rates also reach the terahertz range. Research have led to the requirement for studies to create the sub-parts that make up the transmitter and receiver architectures individually and adapt to terahertz frequencies as frequency has increased. Furthermore, communication technology beyond 5G requires reliable circuits that operate at sub-THz frequencies.

In this thesis, sub-THz range is targeted to enhance the performance of integrated signal sources in terms of conversion efficiency (DC to RF) by utilizing unorthodox methods. A fundamental differential oscillator circuit topology is investigated in two particular technology of 22 nm FDSOI and 65 nm CMOS. The same oscillator topology is used to seek stable oscillation at sub-THz frequencies in both technologies. Theoretical foundations are investigated in order to enhance transistor small signal models and oscillator circuit models. With these enhanced circuit models, the

fundamental differential oscillator circuit is employed, and the theoretical background of the oscillator is created utilizing Z(Y)-parameters.

22-nm FDSOI is a noticeable technology for designing efficient signal source with low leakage and fast operation advantages. Two oscillator circuits of 300 GHz and 350 GHz operations are designed using Process Design Kit (PDK) models. Capabilities and high frequency performance of 22 nm FDSOI is examined. 600 mV and 200 mV peak-to-peak signals are acquired from 300 GHz and 350 GHz oscillators respectively in 22 nm FDSOI. In the same manner with the objective of this thesis, a tape-out ready 190 GHz fundamental differential oscillator is developed in 65 nm CMOS. It is resulted with 1.915% DC-to-RF efficiency. That oscillator circuit constructed in 65 nm CMOS is used to investigate the effect of transistor body connection on DC-to-RF efficiency at sub-THz frequencies. There are three types of body connections available: conventional grounded body, body connected to the source terminal, and floating body. The best performance is obtained with floating body transistors that achieves 1.57 V peak-to-peak (V_{p-p}) differential drain voltage at 209.3 GHz according to the accurate simulations. The results with grounded body and body-source connected transistors are 1.26 V_{p-p} and 1.23 V_{p-p} at 210.6 GHz and 210 GHz respectively. Additionally, a differential to single-ended transformer is used to connect 50-ohm load for future measurement studies and power calculation. With the transformer, all three oscillator circuits with distinct body connections oscillate at around 191 GHz. For grounded body, body connected to the source, and floating body configurations, the output power is -7.49 dBm, -8 dBm, and -6.35 dBm, respectively.

Keywords: Millimeter-wave, Terahertz, Fundamental oscillator, Maximum oscillation frequency, DC-to-RF efficiency, 65-nm CMOS, 22-nm FDSOI.

TEŐEKKÜR

Çalıőmalarım boyunca deęerli yardım ve katkılarıyla beni yönlendiren hocalarım Doç. Dr. Mehmet ÜNLÜ ve Dr. Ertan ZENCİR baőta olmak üzere, emeęi geçen TOBB Ekonomi ve Teknoloji Üniversitesi Elektrik-Elektronik Mühendislięi Bölümü öğretim üyelerine teőekkür ederim. Ayrıca tez çalıőmamda bilgi ve tecrübeleriyle bana destek olan Sabancı Üniversitesi öğretim üyesi Dr. Korkut Kaan TOKGÖZ'e teőekkür ederim.

Bu çalıőma süresince bana her türlü desteęi veren ve bu çalıőmaya fikir ve görüşleriyle deęerli katkılar saęlayan Tuna ABACILAR, Yasemin KÖPÜR ve Ece BAYRAK baőta olmak üzere tüm arkadaşlarıma çok teőekkür ederim.

Tez çalıőmam boyunca bana en büyük desteęi veren, her koşulda yanımda olan ve varlıklarıyla hayatı anlamlı kılan annem Ayőe ULUER ve babam Kenan ULUER'e sonsuz teőekkürlerimi sunarım.

Bu tez çalıőmamı sevgili kuzenlerim Barıő ULUER ve Pınar ULUER'e adıyorum.

Bu tez çalıőmasının bir kısmı Türkiye Bilimsel ve Teknolojik Araőtırma Kurumu (TÜBİTAK) tarafından finansal olarak desteklenmiőtir.

İÇİNDEKİLER

ÖZET	ii
ABSTRACT	iv
TEŞEKKÜR	vi
ŞEKİL LİSTESİ	ix
ÇİZELGE LİSTESİ	xiii
KISALTMALAR	xiv
SEMBOL LİSTESİ	xv
RESİM LİSTESİ	xvii
1. GİRİŞ	1
1.1 Terahertz Dalgalarının Önemi ve Yetenekleri.....	1
1.2 Terahertz Sinyal Kaynakları.....	2
1.3 Tez Hedefleri	4
1.4 Tez Düzeni.....	4
2. ALT-TERAHERTZ BANDINDA KATI HAL ENTEGRE DEVRE SİNYAL KAYNAKLARININ LİTERATÜR İNCELEMESİ	7
3. TEMEL BİLGİLER	11
3.1 MOSFET	11
3.1.1 Çalışma prensibi.....	11
3.1.2 DA karakteristiği.....	12
3.1.3 Yüksek frekans modeli.....	14
3.2 CMOS Teknolojisi	16
3.3 FDSOI Teknolojisi.....	17
3.4 Osilatör Temelleri	18
3.4.1 Geri besleme yaklaşımı	19
3.4.2 Negatif rezistans yaklaşımı.....	20
3.5 Benzetim Araçları	21
3.5.1 Cadence Virtuoso ortamı	21
3.5.2 SPICE ve BSIM modelleri.....	22
3.5.3 Sonnet Suites.....	22
3.5.4 EMX	23
3.5.5 AWR Microwave Office.....	24
4. ALT-TERAHERTZ BANDINDA TEMEL OSİLATÖR DEVRE TASARIMI	25
4.1 Tasarım Yaklaşımı	25
4.2 Transistör Performans Konuları.....	27
4.2.1 Maksimum kullanılabilir kazanç.....	28
4.2.2 Tek taraflı kazanç	29
4.2.3 Ulaşılabilecek maksimum kazanç	29
4.3 Osilatör Devre Topolojileri	29
4.4 Diferansiyel Osilatör Devresi ve Analizi	33
5. 22-nm FDSOI İLE GELİŞTİRİLEN ALT-TERAHERTZ TEMEL OSİLATÖR ÇALIŞMASI	41
5.1 Giriş.....	41
5.2 Transistör Boyutu Seçimi.....	41

5.3 Pasif Elemanlar	42
5.3.1 Bobin	42
5.3.2 Kapasitör	45
1.1.1 İletim hattı	46
5.4 Benzetim Sonuçları	47
5.5 Sonuç	48
6. 65-nm CMOS İLE 190 GHz TEMEL OSİLATÖR TASARIMI.....	51
6.1 Giriş	51
6.2 Transistör Seçimi	51
6.3 Pasif Elemanların Tasarımları	53
6.3.1 Bobin tasarımı	54
6.3.2 Kapasitör tasarımı	59
6.3.3 Diferansiyel-tek uçlu transformatör	61
6.4 İletim Hattı Tasarım Çalışmaları	63
6.5 Osilatör Devresinin Serim Çalışmaları	68
6.6 Benzetim Sonuçları	72
6.7 Sonuç	74
7. TRANSİSTÖR GÖVDE BAĞLANTISININ OSİLATÖR	
PERFORMANSINA ETKİSİ.....	77
7.1 Giriş	77
7.2 Osilatör Devreleri ve Uygulaması	77
7.3 Simülasyon Sonuçları ve Karşılaştırma	80
7.4 Sonuç	83
8. SONUÇ VE GELECEK ÇALIŞMALAR	85
KAYNAKLAR.....	87

ŞEKİL LİSTESİ

Sayfa

Şekil 3.1 : MOSFET cihaz yapısının kesit görünümü.	12
Şekil 3.2 : N-kanal MOS cihazının farklı V_{GS} 'leri ile V_{DS} 'ye karşı ID grafiği.....	13
Şekil 3.3 : Gövde etkisi ve kanal uzunluğu modülasyonu dahil olan MOSFET'in temel küçük sinyal modeli.	15
Şekil 3.4 : MOS cihaz kapasitansları.	15
Şekil 3.5 : MOSFET yüksek frekans küçük sinyal modeli.	16
Şekil 3.6 : CMOS teknolojisi.	17
Şekil 3.7 : Entegre Devre teknolojileri karşılaştırması. (a), CMOS. (b), FDSOI.....	17
Şekil 3.8 : Genel negatif geri besleme sisteminin şeması.	19
Şekil 3.9 : Negatif geri besleme sisteminde salınım üretimi.....	20
Şekil 3.10 : Salınım analizinde negatif direnç yaklaşımı. (a), kayıpsız LC rezonans devresi. (b), R_p ile LC rezonans devresindeki kaybın temsili. (c), Kayıplı LC rezonans devresi ve kaybı telafi etmek için aktif bir devre.	20
Şekil 4.1 : Giriş empedansı analizi için temel LC osilatör devresi. (a), indüktörsüz osilatör devresi. (b), kayıplı kapı indüktörlü osilatör devresi.	26
Şekil 4.2 : Temel osilatör devresinin küçük sinyal modeli.	26
Şekil 4.3 : 22 nm FDSOI'de farklı sayıda kapı parmaklarına sahip transistörlerin maksimum kullanılabilir kazanç grafiği.	28
Şekil 4.4 : Standart eviriciler kullanılarak oluşturulan 3 kademeli yüyük osilatör. ...	30
Şekil 4.5 : (a), çapraz bağlamalı osilatör devresi. (b), elemanların birleştirilmiş hali. (c), transistörlerin sağladığı empedans analizi.....	31
Şekil 4.6 : Transistörler terminallerinin topraklanmasına göre oluşan osilatör devre topolojileri. (a), kaynak topraklanmış. (b), kapı topraklanmış (Colpitts). (c), Drenaj topraklanmış (Clapp).	32
Şekil 4.7 : Diferansiyel temel osilatör devresi.	34
Şekil 4.8 : Diferansiyel temel osilatör devresinin yarım devresi.	34
Şekil 4.9 : Transistörün geliştirilmiş küçük sinyal modeli.....	35
Şekil 4.10 : Kaynak kapasitör etkisini gözlemlemek amacıyla giriş empedansını hesaplamak için basitleştirilmiş devre modeli.	36
Şekil 4.11 : Diferansiyel temel osilatör devresini analiz etmek için geliştirilmiş devre modeli.	37
Şekil 4.12 : Diferansiyel temel osilatör devresini analiz etmek için C_{ds} ve r_o içermeyen geliştirilmiş devre modeli.	39
Şekil 4.13 : Şekil 4.11'deki devre için giriş empedansının benzetim ve analitik hesaplama arasındaki karşılaştırma grafikleri. (a), gerçek kısım. (b), hayali kısım.	40
Şekil 4.14 : Şekil 4.12'deki devre için giriş empedansının benzetim ve analitik hesaplama arasındaki karşılaştırma grafikleri. (a), gerçek kısım. (b), hayali kısım.	40
Şekil 5.1 : 22 nm FDSOI'de geliştirilen osilatörde kullanılan transistörün maksimum kullanılabilir kazanç grafiği.	42

Şekil 5.2 : 22 nm FDSOI STK'da indüktör yapıları. (a), symind modeli. (b), symindp modeli.	43
Şekil 5.3 : 22 nm FDSOI'de geliştirilen osilatör devreleri için indüktörlerin EM simülasyonları. (a), 300 GHz osilatör drenaj bobini. (b), 300 GHz osilatör kapı bobini. (c), 350 GHz osilatör drenaj bobini. (d), 350 GHz osilatör kapı bobini.	44
Şekil 5.4 : 22 nm FDSOI STK'da kapasitör model yapıları. (a), MOM kapasitör yapısı. (b), MOS kapasitör yapısı (ncapsoi).	45
Şekil 5.5 : 22-nm FDSOI'de osilatör devresindeki 1.8-fF MOM kapasitör. (a), Sonnet'ten alınan 3B yapı. (b), EM simülasyon sonuçları. Mavi, kapasitans. Kırmızı, kalite faktörü.	46
Şekil 5.6 : 22 nm FDSOI STK'da iletim hattı yapıları. (a), eş düzlemlı dalga kılavuzu. (b), toprak kalkanlı eş düzlemlı dalga kılavuzu. (c), yavaş dalga iletim hattı.	46
Şekil 5.7 : 22 nm FDSOI'de osilatör devrelerinin simülasyon sonuçları. (a), 300 GHz osilatör sinyalinin HFD'si. (b), 349 GHz osilatör sinyalinin HFD'si. (c), 300 GHz osilatör sinyalinin faz gürültüsü. (d), 349 GHz osilatör sinyalinin faz gürültüsü.....	49
Şekil 6.1 : 65 nm CMOS osilatör devresindeki transistörün yerleşim yapıları. (a), STK'nın standart düzeni. (b), alt-THz osilatör devresi için geliştirilmiş yerleşim tasarımı.	53
Şekil 6.2 : 65 nm CMOS osilatör devresinde kullanılan transistörün maksimum kullanılabilir kazanç karşılaştırması. Serim parazitikleri dahil olmadan STK'nın transistörü (sarı). Serim parazitikleri dahil edilmiş STK'nın transistörü (kırmızı). Parazitikler dahil geliştirilmiş serim çalışması yapılan transistör (mavi).	54
Şekil 6.3 : Tasarlanan merkez beslemeli simetrik indüktör yapısı.	55
Şekil 6.4 : Merkez beslemeli simetrik indüktörde oluşan endüktanslar.	55
Şekil 6.5 : Gerçek durum senaryosunda indüktör tepkisinin gözlemlenmesi. (a), indüktörlü diferansiyel devre. (b), simetrik indüktörün diferansiyel devre modeli. (c), 68-pH numune indüktörünün simüle edilmiş etkin endüktansı. (d), aynı indüktörün simüle edilmiş kalite faktörü.	56
Şekil 6.6 : 65 nm CMOS osilatörde tasarlanan indüktörün serim tasarım görseli.	58
Şekil 6.7 : 65 nm osilatör tasarımında indüktörlerin EM-simülasyon sonuçları. (a), transformatörsüz osilatördeki transistörün drenaj ve kapı terminallerindeki indüktörün simüle edilmiş endüktansı. (b), aynı indüktörün simüle edilmiş kalite faktörü. (c), transformatörlü osilatördeki transistörün kapı terminallerindeki indüktör için simüle edilmiş endüktans. (d), aynı indüktörün simüle edilmiş kalite faktörü.	58
Şekil 6.8 : 65 nm CMOS osilatörde tasarlanan kapasitörün yapısı.	60
Şekil 6.9 : 65 nm CMOS osilatörde tasarlanan kapasitörün serim tasarım görseli.	60
Şekil 6.10 : 65 nm osilatör tasarımında kapasitörlerin EM-simülasyon sonuçları. (a), transformatörsüz osilatörde simüle edilmiş kapasitans. (b), aynı kapasitörün simüle edilmiş kalite faktörü. (c), transformatörlü osilatörde simüle edilmiş kapasitans. (d), aynı kapasitörün simüle edilmiş kalite faktörü.....	61
Şekil 6.11 : 65 nm CMOS osilatörde tasarlanmış diferansiyel-tek uçlu transformatör yapısı.....	62
Şekil 6.12 : 65 nm osilatör tasarımında transformatörün EM-simülasyon sonuçları. (a), drenaj terminallerine bağılı birincil bobinin simüle edilmiş endüktansı.	

(b), drenaj terminallerine bağlı birincil bobinin simüle edilmiş kalite faktörü. (c), 50 ohm yüke ve RF pedine bağlı ikincil bobinin simüle edilmiş endüktansı. (d), 50 ohm yüke ve RF pedine bağlı ikincil bobinin simüle edilmiş kalite faktörü.....	62
Şekil 6.13 : 3 farklı iletim hattının yapıları. (a), toprak kalkanlı eş düzlemlı dalga kılavuzu iletim hattı. (b), kalkansız eş düzlemlı dalga kılavuzu iletim hattı. (c), mikroşerit iletim hattı.....	63
Şekil 6.14 : 50 µm toprak kalkanlı eş düzlemlı dalga kılavuzunun benzetimleri yapılmış iletim hattı parametreleri. (a), karakteristik empedans. (b), mm başına dB cinsinden zayıflama. (c), cm başına radyan cinsinden beta.....	65
Şekil 6.15 : 50 µm mikroşerit iletim hattının benzetimleri yapılmış iletim hattı parametreleri. (a), karakteristik empedans. (b), mm başına dB cinsinden zayıflama. (c), cm başına radyan cinsinden beta.	65
Şekil 6.16 : (a), 65 nm CMOS osilatörde tasarlanan köşenin serim tasarım görseli. (b), 65 nm CMOS osilatörde konik geçişin serim tasarım görseli.....	66
Şekil 6.17 : 65 nm osilatör tasarımında köşe iletim hattının EM-simülasyon sonuçları. (a), karakteristik empedans. (b), mm başına dB cinsinden zayıflama. (c), cm başına radyan cinsinden beta.	67
Şekil 6.18 : 65 nm osilatör tasarımında konik geçiş iletim hattının EM-simülasyon sonuçları. (a), karakteristik empedans. (b), mm başına dB cinsinden zayıflama. (c), cm başına radyan cinsinden beta.	67
Şekil 6.19 (devam) : 65 nm osilatör tasarımında konik geçiş iletim hattının EM-simülasyon sonuçları. (a), karakteristik empedans. (b), mm başına dB cinsinden zayıflama. (c), cm başına radyan cinsinden beta.....	68
Şekil 6.20 : 65 nm CMOS osilatörde toplam iletim hattının serim tasarım görseli. ..	68
Şekil 6.21 : 65 nm osilatör tasarımında kullanılan bütün iletim hattının EM-simülasyon sonuçları. (a), karakteristik empedans. (b), mm başına dB cinsinden zayıflama. (c), cm başına radyan cinsinden beta. (d), etkin dielektrik sabiti.....	69
Şekil 6.22 : Tasarlanan osilatör devresinin yerleşimi, çekirdek kısım.	70
Şekil 6.23 : Tasarlanan üretime hazır osilatör devresinin pedlerle birlikte yerleşimi.	70
Şekil 6.24 : Baypas kapasitör yapısı.	71
Şekil 6.25 : 65 nm CMOS osilatörde baypas kapasitörünün serim tasarım görseli. (a), M9 metal tabakasında pozitif terminal. (b), diğer katmanlar.	71
Şekil 6.26 : 65 nm osilatör tasarımında baypas kapasitörünün EM-simülasyon sonuçları. (a), simüle edilmiş kapasitans. (b), simüle edilmiş kalite faktörü.	72
Şekil 6.27 : 65 nm CMOS'ta tasarlanan osilatörlerin simülasyon sonuçları. (a), trafosuz osilatör devresinin HFD'si. (b), trafolu osilatör devresinin HFD'si. (c), trafosuz osilatörün faz gürültüsü. (d), trafolu osilatörün faz gürültüsü.....	75
Şekil 7.1 : Transistörün üç farklı gövde bağlantısı.	77
Şekil 7.2 : Osilatörlerin küçük sinyal modelleri. (a), topraklanmış gövde transistörlü. (b), gövde kaynak terminaline bağlı transistörlü. (c), yüzer gövdeli transistörlü.	78
Şekil 7.3 : Üç farklı gövde bağlantılı transistörlerin serim tasarımları. (a), toprağa bağlı gövde. (b), kaynağa bağlı gövde. (c), yüzen gövde.....	79
Şekil 7.4 : Transformatörsüz çekirdek osilatör devrelerinin yerleşimi.....	80

- Şekil 7.5 : 65 nm CMOS'ta tasarlanan farklı gövde bağlantılı transformatörlü osilatörlerin simülasyon sonuçları. (a), topraklanmış gövde osilatör devresinin HFD'si. (b), topraklanmış gövde osilatör devresinin faz gürültüsü. (c), kanağa bağlı gövde osilatör devresinin HFD'si. (d), kanağa bağlı gövde osilatör devresinin faz gürültüsü. (e), yüzer gövde osilatör devresinin HFD'si. (f), yüzer gövde osilatör devresinin faz gürültüsü.....83
- Şekil 7.6 : 65 nm CMOS'ta tasarlanmış farklı gövde bağlantılı transformatörlü osilatörlerin çıkış güç spektrumu. (a) topraklanmış gövde konfigürasyonu. (b), kanağa bağlı gövde konfigürasyonu. (c), yüzer gövde konfigürasyonu.....84



ÇİZELGE LİSTESİ

Sayfa

Çizelge 1.1 : Literatürdeki terahertz kaynakları.....	3
Çizelge 2.1 : Harmonik tabanlı CMOS alt-THz sinyal kaynakları.	8
Çizelge 2.2 : CMOS'ta temel sinyal kaynakları.	9
Çizelge 2.3 : Bileşik malzeme tabanlı teknolojilerde 300 GHz üzeri sinyal kaynakları.....	10
Çizelge 5.1 : 22 nm FDSOI'de her iki osilatör için simüle edilmiş indüktör parametreleri.	43
Çizelge 5.2 : Farklı iletim hatları parametrelerinin karşılaştırma tablosu.	47
Çizelge 5.3 : 22 nm FDSOI'de tasarlanan osilatör devrelerinin simülasyon sonuçları.....	48
Çizelge 6.1 : Osilatör devreleri için tasarlanan bileşenlerin değerleri.....	73
Çizelge 6.2 : 65 nm CMOS'ta tasarlanan osilatörlerin simülasyon sonuçları.	74
Çizelge 7.1 : Farklı gövde bağlantılı osilatörler için bileşenlerin değerleri.....	80
Çizelge 7.2 : 65 nm CMOS'ta transformatörsüz tasarlanmış farklı gövde bağlantılı osilatörlerin simülasyon sonuçları.....	81
Çizelge 7.3 : 65 nm CMOS'ta tasarlanan farklı gövde bağlantılı transformatörlü osilatörlerin simülasyon sonuçları.....	82

KISALTMALAR

2B	: 2 Boyutlu
3B	: 3 Boyutlu
AA	: Alternatif Akım
AFD	: Ayrık Fourier Dönüşümü
AKA	: Açma Kapama Anahtarlama
BDT	: Bilgisayar Destekli Tasarım
CMOS	: Bütünleyici Metal Oksit Yarı İletken
DA	: Doğru Akım
EBDT	: Elektronik Bilgisayar Destekli Tasarım
EDD	: Eş Düzlemlı Dalga Klavuzu
EM	: Elektromanyetik
FDSOI	: Tamamen Tüketilmiş Yalıtkan üzerine Silikon
GHz	: Gigahertz
GKA	: Genlik Kaydırmalı Anahtarlama
HD	: Harmonik Denge
HFD	: Hızlı Fourier Dönüşümü
KG	: Kaynağa Bağlı Gövde
KVY	: Kirchhoff Voltaj Yasası
MAG	: Maksimum Kullanılabilir Kazanç
MOM	: Metal-Oksit-Metal
MOSFET	: Metal Oksit Yarı İletken Alan Etkili Transistör
MYM	: Metal-Yalıtkan-Metal
RF	: Radyo Frekans
SSK	: Şematik-Serim Karşılaştırma
STK	: Süreç Tasarım Kiti
TEDD	: Toprak Kalkanlı Eş Düzlemlı Dalga Klavuzu
TG	: Topraklanmış Gövde
THz	: Terahertz
TKK	: Tasarım Kuralı Kontrolü
UG	: Tek Taraflı Kazanç
UMAG	: Ulaşılabilecek Maksimum Kazanç
YG	: Yüzen (Yüzer) Gövde

SEMBOL LİSTESİ

Bu çalışmada kullanılmış olan simgeler açıklamaları ile birlikte aşağıda sunulmuştur.

Simgeler	Açıklama
A	Amper
B (b)	Gövde terminali
c	Işıkhızı
C	Kapasitans
C_{DB} (C_{db})	Drenaj-gövde kapasitansı
C_{DS} (C_{ds})	Drenaj-kaynak kapasitansı
CET	Kapı yalıtkanının efektif kapasitif kalınlığı
C_f	Saçak kapasitansı
C_{GB} (C_{gb})	Kapı-gövde kapasitansı
C_{gbo}	Kapıdan gövdeye örtüşme kapasitansı
C_{GD} (C_{gd})	Kapı-drenaj kapasitansı
C_{gdo}	Kapıdan drenaja örtüşme kapasitansı
C_{GS} (C_{gs})	Kapı-kaynak kapasitansı
C_{gso}	Kapıdan kaynağa örtüşme kapasitansı
C_j	Transistör kanal bağlantı kapasitansı
C_{jsw}	Transistör kanal yan duvar kapasitansı
C_{ox}	Birim alan başına oksit kapasitansı
C_s	Kaynak kapasitansı
C_{SB} (C_{sb})	Kaynak-gövde kapasitansı
D (d)	Drenaj terminali
dB	Desibel
F	Farad
F_{max}	Maksimum salınım frekansı
f_T	Kesim frekansı
G (g)	Kapı terminali
g_m	Transkondüktans
g_{mb}	Gövde efektif transkondüktansı
H	Henry
I_D	Drenaj akımı
L	Uzunluk
L_{OV}	Kapı örtüşme bölgesinin uzunluğu
L_d	Drenaj bobini
L_{eff}	Transistör efektif kanal uzunluğu
L_g	Kapı bobini
L_s	Kaynak bobini
nn	Transistor kapı parmak sayısı
N_{CON}	Metalden polisilikona kontak sayısı

Q	Kalite faktörü
R	Direnç
$R_D (R_d)$	Drenaj terminal direnci
$R_G (R_g)$	Kapı terminal direnci
R_{CON}	Metalden polisilikona kontak direnci
R_{SHG}	Polisilikon üzerinde kare başına düşen direnç
r_o	Transistör çıkış direnci
$R_S (R_s)$	Kaynak terminal direnci
S	S parametreleri
S (s)	Kaynak terminali
t	Zaman
t_{ox}	Kapı oksit kalınlığı
V	Volt
V _{DD}	Drenaj besleme voltajı
V _{DS}	Drenaj-kaynak voltajı
V _g	Kapı besleme voltajı
V _{GS}	Kapı-kaynak voltajı
V _{p-p}	Tepeden tepeye voltaj
V _{TH}	Transistör eşik voltajı
W	Watt
Y	Admitans
λ	Dalga boyu
Z	Empedans
Z ₀	Karakteristik empedans
α	Zayıflama katsayısı
β	Faz sabiti
G	İletkenlik
L	Endüktans
W	Genişlik
W_{ext}	Transistör Aktif bölgesi ve kapı kontağı arası mesafesi
W_f	Transistör kapı parmak genişliği
γ	Yayıma sabiti
ω	Omega
λ	Kanal uzunluk modülasyonu
μ_n	Elektron hareketliliği

RESİM LİSTESİ

Sayfa

Resim 1.1 : Frekans Bantlarının Kaynakları ve Kullanımları.....2



1. GİRİŞ

1.1 Terahertz Dalgalarının Önemi ve Yetenekleri

Terahertz bandı olarak tanımlanan frekans aralığı Resim 1.1’de gösterildiği gibi elektromanyetik spektrumda 0,3 THz ile 10 THz frekansları arasındadır, diğer bir deyişle terahertz spektrumunun dalga boyu 1mm ile 30 µm arasındadır [1,2]. Terahertz spektrumu optik frekanslar ile milimetre-dalga frekansları arasındadır ve terahertz elektromanyetik dalgaların diğer bölgelerde elde edilemeyen bazı benzersiz özelliklere sahip olduğu son zamanlarda yapılan çalışmalarda ortaya çıkmıştır. Terahertz dalgaları hemen hemen tüm yalıtım malzemelerine ve temel yarı iletkenlere nüfuz edebilir; bu nedenle çok katmanlı izolatör yığınlarının kalite kontrolü [3] ve plastik, karton, kağıt, tekstil gibi malzemelerdeki gizli maddelerin tespiti gibi uygulamalar için ideal bir alternatiftir [4]. Bununla birlikte terahertz dalgaları, tıbbi görüntüleme sistemleri ve malzeme spektroskopisi alanlarında yeni nesil patlayıcı algılama ve güvenlik uygulamaları için kullanılan görüntüleme sistemlerine önemli bir alternatif oluşturmaktadır [5,6]. Ayrıca darbeli terahertz dalgalarının bant genişliği kullanılan merkez frekansının birkaç katı olabileceğinden, terahertz dalgaları kısa mesafelerde çok yüksek hızlarda veri iletişimi için önemli bir fırsat sağlar [6,7]. THz kaynaklarının geniş bant özelliği, açma-kapama anahtarlama (AKA) veya genlik kaydırmalı anahtarlama (GKA) gibi temel modülasyon mimarileri ile yüksek veri hızları sağlarken, devre ve tasarım bloklarının karmaşıklığı da azaltılır [8-11]. Bu avantajlara ek olarak terahertz dalgaları, kablosuz yerel ağlar, yakın alan iletişimi, cihazdan cihaza iletişim vb. için özellikle bireysel akıllı evler ve ofisler gibi kapalı alanlarda kullanılabilir [12]. Dış mekân uygulamalarında, boş alan yolu kaybı yüksek olmasına rağmen, fotonik terahertz teknolojisi, verilerin optik kablolar ile uzun mesafeler boyunca taşınmasına ve terahertz radyasyonu yayan devrelerin beslenmesine olanak sağlar [12]. Bu çalışmalar, gelecekteki iletişim teknolojileri için THz altı frekansların önemini göstermektedir.

Terahertz dalgaları, yukarıda bahsedilen ve gelecek vaat eden uygulamaları gerçekleştirmek için bu frekanslarda çalışacak güvenilir ve çok yönlü optik bileşenlere ihtiyaç duyar. Bu açığı kapatmak için son 20 yılda birçok araştırmacı bu alanda

çalışmaktadır. Araştırmacıların terahertz frekanslarında çalışacak çok farklı bileşenleri geliştirme çabalarına rağmen, bu alanda en büyük çaba, tüm terahertz sistemleri için gerekli olan ve geliştirilmesinde en büyük zorluk olan yüksek performanslı terahertz kaynakları ve sensörler üzerinde yapılmıştır.



Resim 1.1 : Frekans Bantlarının Kaynakları ve Kullanımları [13].

1.2 Terahertz Sinyal Kaynakları

Terahertz sinyalleri doğada mevcut değildir, bu nedenle gelişmiş teknolojiler ile zorlu çalışmalar sonucu üretilmektedirler. Son 20 yıldır, terahertz sinyali elde etmek için çeşitli terahertz sinyal kaynakları incelenmiştir. Bu çalışmalar, belirli hedeflere sahip benzeri görülmemiş tekniklerin önünü açmaktadır.

Çizelge 1.1'de özetlendiği gibi terahertz frekans aralığında farklı teknolojilere sahip terahertz sinyal kaynakları vardır. Kullanılan teknolojiye göre termal kaynaklar, vakum elektroniği, lazerler, lazerlerle püskürtülen kaynaklar ve katı hal elektroniği olarak sınıflandırılabilirler. Cıva lambası ve globar, laboratuvar ortamında incelenen geleneksel termal terahertz kaynaklarıdır [14,15]. Globar, yaklaşık 1650K'da 05 – 0.8 THz sinyaller yayan elektrikle ısıtılan bir borudur [16]. Gyrotronlar, yürüyen dalga tüpleri, serbest elektron lazerleri, klistronlar, arka dalga osilatörleri gibi vakumlu elektronik kaynaklar, yüksek güçlü terahertz spektrumları sağlar [17 – 23].

Terahertz lazerleri, çeşitli yarı iletken lazerler, kuantum kademeli lazerler ve gaz lazerleri teknolojilerini içerir [24 – 27]. Kuantum kademeli lazer, son zamanlarda yüksek sıcaklık gereksinimleri dezavantajı ile çalışılmaktadır [28]. Daha yaygın olarak, terahertz sinyalleri yarı iletken bir malzemeden ya sürekli çalışan ya da darbeli modda çalışan görünür ya da kızıl ötesi lazerler kullanılarak üretilir [29 – 31]. Terahertz radyasyonu, darbeli modda lazer sinyalinin periyoduna ve sürekli modda lazerlerin frekans farkına bağlıdır [32, 33]. Terahertz radyasyonu ayrıca Gunn diyotu ve yüksek frekanslı transistörler gibi katı hal elektronik cihazlardan da elde edilir [34-37].

Çizelge 1.1 : Literatürdeki terahertz kaynakları.

Kaynak Tipi	Kaynak	İlgili Referans
Termal	Globar	[16]
	Cıva Lambası	[14]
Vakum elektronik	Geri Dalga Osilatörü	[17]
	Genişletilmiş etkileşimli klistron	[18]
	Yürüyen dalga tüpü	[20]
	Gyrotronlar	[21]
	Serbest elektron lazeri	[22]
Katı hal elektronik	Gunn diyotları	[34]
	Transistörler	[37]
	Süperilekten	[38]
Lazerler	Gaz	[39]
	Yarı iletken	[24,26]
	Kuantum şelalesi	[28]
Lazerler tarafından pompalanan kaynaklar	Fotomikser	[29]
	Fotoiletken anahtar	[30,31]

Bunlara ek olarak THz sinyal üretimi için entegre devre teknolojileri de kullanılmaktadır. SiGe ve InP gibi bileşik malzeme yarı iletkenleri, 0,5 THz üzerinde

terahertz sinyalleri üretebilir [40, 41]. Öte yandan, CMOS teknolojisi THz altı frekanslarda ucuz çözümler sunar. Entegre devre teknolojileri ile tasarlanan terahertz kaynaklar, temel tabanlı ve harmonik tabanlı sinyal kaynakları olarak ikiye ayrılır. Temel sinyal kaynaklarının radyasyon aralığı, transistörün maksimum salınım frekansı (F_{max}) ile sınırlıyken, harmonik tabanlı sinyal kaynaklarında, salınım verimliliğinden feragat edilerek F_{max} üzerinde sinyaller üretebilir [42, 43].

1.3 Tez Hedefleri

CMOS entegre devre teknolojisi, elektronik sistemlerin çoğu için pazarın kalbini oluşturmaktadır; bununla birlikte, CMOS'ta THz altı frekanslarda verimli bir sinyal kaynağı tasarlamak bir zorluktur. Bu tezin amacı, temel olarak, dönüşüm verimliliği açısından entegre alt-THz sinyal kaynaklarının performansını artırmak için yeni özel yöntemler üzerinde çalışmaktır.

Ana amaç doğrultusunda, THz altı sinyal kaynaklarının tasarımı için çoğunlukla yariletkende oluşan kaçak akımlar açısından daha iyi performans sergileyen, CMOS'un geliştirilmiş bir muadili olan FDSOI teknolojisi araştırılmıştır. 22 nm FDSOI teknolojisinde 300 GHz'in üzerinde THz altı sinyal kaynağının tasarlanması, verimli THz altı sinyal kaynakları elde etmek için bu teknolojinin yeteneklerini incelemeyi amaçlamaktadır.

Öte yandan, F_{max} 'a yakın çalışan temel bir sinyal kaynağı, 65 nm CMOS'ta tasarım verimliliği elde etmek için daha alışılmadık dışında bir yöntemi benimsemek üzere tasarlanmıştır. F_{max} 'a yakın frekanslardaki transistörler için gövde bağlantı seçeneklerinin incelenmesi, CMOS sinyal kaynakları için daha iyi çalışma performansı elde etmeyi amaçlamaktadır. Bu tez kapsamında 65 nm CMOS'da alt-THz frekanslarında geliştirilen sinyal kaynağı kullanılarak farklı gövde bağlantılı transistörlerle salınım verimini artırmak hedeflenmektedir.

1.4 Tez Düzeni

Tezin organizasyonu şu şekilde özetlenebilir:

Bölüm 2'de, entegre sinyal kaynaklarının farklı devre topolojilerini ve yöntemlerini anlamak için THz altı entegre devre sinyal kaynakları hakkında özel bir literatür

incelemesi, son teknolojik çalışmalar ve bunların performanslarıyla ilgili iyileştirme yöntemleri ayrıntılı olarak verilmiştir.

Daha sonra Bölüm 3'te, kısaca temel bileşenleri, geliştirilmiş küçük sinyal modellerini, salınım teorisinin temellerini ve bu çalışmada kullanılan bilgisayar destekli tasarım (BDT) araçlarını içeren bu tezin arka planı verilmiştir.

Bölüm 4, osilatörün tasarımını ve osilasyon parametrelerinin teorik hesaplama yöntemini kapsamaktadır. Kullanılan osilatör devresi bu bölümde detaylı olarak verilmiş ve analiz edilmiştir. Aktif cihazların F_{max} 'ları ve bu çalışma için uygun aktif cihazın seçimi tartışılmıştır. Geliştirilmiş küçük sinyal modelleri incelenmiş ve osilatör devresini analiz etmek için kullanılmıştır.

Bölüm 5, 22 nm FDSOI'de iki osilatör devresinin ön tasarımını sunmakta ve FDSOI teknolojisinin THz altı aralığında sinyal kaynağı tasarımı için kullanılma kapasitesini gözlemlemektedir. 300 GHz ve 350 GHz temel diferansiyel osilatör devreleri sunulmuş ve karşılaştırılmış, ardından 22 nm FDSOI teknolojisi THz altı sinyal kaynağı tasarımı için bir aday olarak tartışılmıştır.

Bölüm 6'da, bölüm 4'te verilen temel osilatör devresi, 65 nm CMOS'ta üretime hazır 190 GHz osilatörü tasarlamak için kullanılmıştır. Bu osilatörün transformatörlü ve transformatörsüz iki versiyonu sunulmuş ve karşılaştırılmıştır. Tüm pasif bileşenlerin, iletim hatlarının, transistörlerin tasarımı ve benzetimleri detaylı olarak tartışılmıştır. Tüm ara bağlantılar, geliştirilmiş transistör yerleşimi, pasif bileşenler, baypas kapasitörleri, RF ve DA pedleri dahil olmak üzere osilatörün yerleşim çalışmaları yapılmıştır. Daha sonra tüm osilatör devresinin simülasyonları yapılmış ve sonuçlar sunulmuştur.

Bölüm 7'de, Bölüm 6'da tasarlanan osilatördeki transistörün gövde bağlantısı farklı konfigürasyonlarla değiştirilerek, osilatör performansı açısından etkisi gözlemlenmiştir. Topraklı gövde, kaynağa bağlı gövde ve yüzer gövde olmak üzere üç farklı gövde bağlantısı kullanılmaktadır. Bu konfigürasyonlar ile aynı temel diferansiyel osilatör devresi kullanılmış ve her farklı gövde konfigürasyonu için transformatörlü ve transformatörsüz iki osilatör devresi gözlemlenmiştir. Transformatörsüz osilatörler, diferansiyel drenaj terminal voltajı açısından ve transformatörlü osilatörler DA-RF verimliliği açısından karşılaştırılmıştır. Bu

osilatörlerin simülasyonlarının tüm sonuçları bölümün sonunda tablolarda sunulmuştur.

Son olarak, tezin sonuçları, ilgili gelecek çalışmalar ve bazı öneriler Bölüm 8'de verilmiştir.



2. ALT-TERAHERTZ BANDINDA KATI HAL ENTEGRE DEVRE SİNYAL KAYNAKLARININ LİTERATÜR İNCELEMESİ

Günümüz teknolojisi, yüksek frekanslara yönelim ile haberleşme, spektroskopi, servo motor kontrolü vb. birçok alanda yüksek frekanslarda çalışabilen devre bileşenlerinin ve sistemlerin geliştirilmesine öncülük etmiştir. Böyle bir durumda kararlı bir sinyal kaynağına ihtiyaç duyulmaktadır (Hsieh ve Hung, 1996). Özellikle haberleşme alanında, yüksek veri hızları için alıcı-verici entegrelerin çalışma frekanslarının da terahertz bandına geldiği görülmektedir [44 – 48]. Frekansın artmasıyla birlikte çalışmalar, verici ve alıcı mimarilerini oluşturan alt kısımların ayrı ayrı geliştirilmesi ve terahertz frekanslarına uyum sağlanmasına yönelik çalışmalara ihtiyaç duyulmasına neden olmuştur. Ayrıca, 5G ötesi iletişim teknolojisi, alt-THz aralığında çalışan kararlı devrelere ihtiyaç duyar, bu nedenle IEEE, 252-322 THz alt aralığında 100 Gb/s'ye kadar veri hızları gerçekleştiren bir platform tanımlamak için 2017'de 802.15.3d kablosuz standardı oluşturmuştur [49]. 802.15.3d standardı ile 275 – 322 GHz bandı (daha önce tahsis edilmemişti) sabit ve mobil haberleşmeye tahsis edilmiş ve 252-275 GHz bandı ile birleştirilmiştir. Yani 252-322 GHz bandı 300 GHz bandı olarak adlandırılabilir.

Yukarıdaki hedeflerin tasarımı ve fizibilitesinin mümkün olabilmesi ve THz altı aralığında güvenilir sinyaller elde etmek için birçok çalışma örneği vardır. Bu kaynaklar, üretim kolaylığı, ölçeklenebilirlik, üst düzey entegrasyon, düşük üretim maliyetleri ve CMOS'un güvenilirliği nedeniyle CMOS'ta yaygın olarak uygulanmaya çalışılmaktadır.

Son 10 yılda rapor edilen bazı harmonik tabanlı salınımlara sahip CMOS sinyal kaynakları literatürde yer almaktadır. [50]'de, sekiz harmonik osilatör birleştirilmiştir ve ikinci harmonik, 65 nm CMOS'ta 260 GHz'de bir çip üstü yuva anteni tarafından ışımlanmaktadır. 65 nm CMOS'ta bir başka 2-boyutlu 338 GHz dizi kaynağı, entegre bir antenle temel frekansın dördüncü harmoniğinde çalıştığı bildirilmiştir [51]. İkinci harmoniği ile çalışan 280 GHz 4x4 dizi kaynağı, 45 nm SOI CMOS teknolojisinde uygulanmıştır [52]. 2014 yılında, 40 nm CMOS'ta entegre bir dipol ile nispeten yüksek frekanslı 540 GHz tek bir sinyal kaynağı rapor edilmiştir.

Bu çalışmada, çıkış osilasyonunun üçüncü harmoniği, bir merceğe ihtiyaç duymadan doğrudan ışınlanmıştır [53]. Benzer şekilde, 45 nm CMOS'ta uygulanan entegre yama antenli 410 GHz ikinci harmonik tek kaynak [42]'de rapor edilmiştir. [54]'te, 65 nm CMOS'ta 300 GHz dört tane eşleştirilmiş üçlü itme voltaj kontrollü osilatör (VCO) kaynağı, bildirilen ortalama verimlilikten daha yüksek olan %0.52 DA-RF verimliliği ile rapor edilmiştir. Enjeksiyon kilitli osilatör yapısına dayalı 1x4 faz kontrollü 530 GHz sinyal kaynağı dizisi [55]'te 40 nm CMOS'ta uygulanmıştır. Bu osilatör tasarımında, tasarımın çekirdeğinde 6 kademeli üçlü itme osilatörü kullanılmış ve silikon lens olmadan %0.24 DA-RF verimliliği ile 60 derece ışın yönlendirme rapor edilmiştir. Harmonik tabanlı CMOS kaynaklar Çizelge 2.1'de özetlenmiştir.

Çizelge 2.1 : Harmonik tabanlı CMOS alt-THz sinyal kaynakları.

Ref.	Frek. (GHz)	Harmonik	Çıkış Gücü (dBm)	DA Gücü (W)	DA-RF Verimi (%)	Alan (mm ²)	Teknoloji
2013, [50]	260	2 nd	0.5	0.8	0.14	2.3	65-nm CMOS
2014, [51]	338	4 th	-0.9	1.54	0.053	3.9	65-nm CMOS
2012, [52]	280	2 nd	-7.2	0.81	0.024	7.3	45-nm SOI CMOS
2014, [53]	540	3 rd	-33.1	0.019	0.0026	0.15	40-nm CMOS
2008, [42]	410	2 nd	-47	0.0165	0.00012	0.25	45-nm CMOS
2016, [54]	300	3 rd	0.9	0.235	0.51	0.09	65-nm CMOS
2019, [55]	530	3 rd	-12	0.260	0.24	2.5	40-nm CMOS

Bu harmonik tabanlı kaynakların ana avantajı, CMOS'un F_{max} 'ı ötesinde sinyal üretme yetenekleridir. Bununla birlikte, harmonik tabanlı işlem, devre tasarımını daha karmaşık ve güç tüketir hale getirir ve bu nedenle DA'dan RF'ye verimlilikleri nispeten düşüktür. [54]'te gösterildiği gibi, istenen harmonik elde edilmeli ve diğer harmonikler ekstra bir çaba ile bastırılmalıdır.

Öte yandan, CMOS'un maksimum salınım frekansları yaklaşık 300 GHz bandında olduğundan, temel sinyal kaynakları THz altı bandında CMOS'ta yaygın olarak kullanılmamaktadır. Bu durum, transistörlerin güç kazancı istenmeyen düşük değerlere düştüğü için transistörlerin THz altı bandında salınım yapma kapasitesini sınırlar. Bu nedenle, THz altı rejimdeki temel sinyal kaynaklarının yeni yaklaşımlarla geliştirilmesi gerekmektedir. 65 nm CMOS'ta 300 GHz'de ilk temel osilatör, çıkış gücünden söz edilmeden rapor edilmiştir [56]. [43]'te, 32 nm CMOS'ta 240 GHz ve 272 GHz salınım frekanslarına sahip iki temel osilatör rapor edilmiştir. 210 GHz salınım frekansına, 42 mW güç tüketimine ve -13,5 dBm çıkış gücüne sahip bir alıcı-verici mimarisinde temel bir VCO uygulanmıştır [57]. Son zamanlarda, 65 nm CMOS'ta 0,4 mW çıkış gücüne ve %3,2 DA-RF verimliliğine sahip 310 GHz temel osilatör sunulmuştur [58]. Bu çalışma, geliştirilmiş devre tasarımı ile elde edilen önceki benzer çalışmalardan nispeten daha iyi verimlilikle CMOS'ta en yüksek temel frekansla sonuçlanmıştır. Temel tabanlı CMOS kaynaklar Çizelge 2.2'de özetlenmiştir.

Çizelge 2.2 : CMOS'ta temel sinyal kaynakları.

Referanslar	Frekans (GHz)	Çıkış Gücü (dBm)	DA Gücü (W)	DA-RF Verimi (%)	Teknoloji
2011, [56]	300	-	0.0037	-	65-nm CMOS
2013, [43]	240	-7	0.013	1.5	32-nm CMOS
	272	-22	0.007	0.09	
2014, [57]	210	-13.5	0.042	0.1	32-nm SOI
2019, [58]	310	-4	0.013	3.2	65-nm CMOS

CMOS'taki THz tasarım çalışmalarına ek olarak, THz kaynakları SiGe ve InP gibi diğer bileşik alttaşımlarda da uygulanabilir. Teknoloji düğümlerine göre Fmax değişmektedir.

Bununla birlikte, tipik F_{max} 'lar, CMOS düğümlerinininkinden daha yüksektir. Bileşik malzemeler, F_{max} 'ları CMOS'tan çok daha yüksek olduğundan alt-THz bandında daha iyi performans gösterir.

Bu durum, bileşik malzemelerle entegre devre tasarımında avantajlı olduğunu kanıtlamaktadır. Bileşik alttaşlı entegre devreler 300 GHz üzerindeki sinyalleri elde etmek için kullanılırlar, ancak bu teknolojiler daha düşük entegrasyon yoğunluğuna, ölçeklenebilirliğe ve büyük üretim maliyetlerine sahiptir. 130 nm SiGe'de 1 THz kaynağı [40]'da rapor edilmiştir. CMOS'un entegrasyon seviyeleri, yoğunluğu ve ölçeklenebilirliği, CMOS'u entegre devreler için temel aday haline getirmektedir. Bileşik malzeme tabanlı kaynaklar Çizelge 2.3'de özetlenmiştir.

Çizelge 2.3 : Bileşik malzeme tabanlı teknolojilerde 300 GHz üzeri sinyal kaynakları.

Ref.	Frekans (GHz)	Harmonik	Çıkış Gücü (dBm)	DA Gücü (W)	DA-RF Verimi (%)	Alan (mm ²)	Teknoloji
2014, [59]	300	3 rd	-14	0.105	0.03	-	90-nm SiGe
2015, [60]	504	3 rd	-15.3	0.150	0.02	-	90-nm SiGe
2017, [61]	428	2 nd	-6.8	0.164	1.4	0.19	130-nm SiGe
2018, [40]	1010	4 th	-10.9	1.1	0.074	1	130-nm SiGe

3. TEMEL BİLGİLER

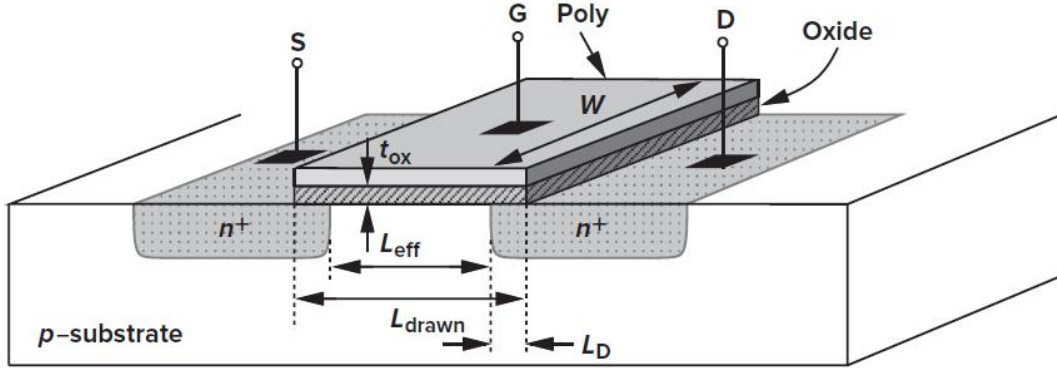
3.1 MOSFET

MOSFET, öngerilim koşullarına göre akım akışına izin veren 4 terminalli bir cihazdır. Drenaj (D), kaynak (S), kapı (G) ve gövde (B) terminalleri vardır. Drenaj ve kaynak terminalleri arasındaki akım akışı, kapıdan kaynak terminallerine olan potansiyel fark tarafından kontrol edilir. Temel olarak, eğer kapıdan kaynağa voltaj yeterince yüksekse, MOSFET, drenaj ve kaynak terminallerini bir anahtar gibi bağlar. MOSFET'in drenaj ve kaynak arasındaki akımı başlatmasını sağlayan kapıdan kaynağa terminallerin minimum voltaj seviyesine eşik voltajı denir. MOSFET'in kapıdan kaynağa voltaj ile akım akış kontrolü olgusu, voltaj kontrollü akım kaynağı olarak bilinir. MOSFET'in bu özelliği onu modern analog ve dijital devre tasarımlarında devrenin belkemiği yapar. Yapıya göre MOSFET, çoğunluk taşıyıcılarının elektron olduğu n-kanalı veya çoğunluk taşıyıcılarının boşluk olduğu p-kanalı olarak uygulanabilir. MOSFET, n-kanal ve p-kanal cihazlarının tamamlayıcı tasarımı ile CMOS'un yapı taşıdır; bu nedenle pratikte en çok kullanılan transistördür. [62]

3.1.1 Çalışma prensibi

N-kanallı MOSFET cihazının kesiti Şekil 3.1'de görülmektedir. Kapı terminali ile p-alttaş arasında kapı oksit adı verilen ince bir yalıtkan tabakası vardır. Kapı terminaline pozitif bir voltaj uygulandığında, bir elektrik alanı oluşturulur ve elektronlar, drenaj ve kaynak terminalleri arasında hareket eder. Elektronların bu hareketine kanal oluşumu denir. Elektron konsantrasyonu kanalda yeterince yüksek olduğunda, drenaj terminalinin uygun öngerilimi koşuluyla drenaj ve kaynak terminalleri arasında akım akışı mümkündür. MOSFET cihazı, öngerilim koşullarına ve kapı voltajına göre 3 temel çalışma bölgesine sahiptir. Kesim bölgesinde, kapı-kaynak voltajı eşik voltajından altındadır, bu nedenle cihaz yalıtkan değildir. Triyot bölgesinde, MOSFET bir direnç gibi davranır, bu nedenle akım akışı, drenaj-kaynak voltajının doğrusal bir fonksiyonudur. Drenaj-kaynak voltajı yeterince yüksek olduğunda ve kapı voltajı eşik voltajından daha yüksek olduğunda, MOSFET doyma bölgesine gider.

Drenaj ve kaynak terminalleri arasındaki akım akışı, kapı-kaynak voltajının bir fonksiyonu haline gelir, doyma bölgesinde drenajdan kaynağa giden akım ideal olarak drenaj voltajına bağlı değildir. [62]



Şekil 3.1 : MOSFET cihaz yapısının kesit görünümü [62].

3.1.2 DA karakteristiği

MOSFET cihazı, önceki bölümde belirtildiği gibi çalışma bölgesine bağlı olan I-V özelliklerine sahiptir. Kapı-kaynak voltajı (V_{GS}), cihazın iletken duruma geçebilmesi için eşik voltajından (V_{TH}) daha yüksek olmalıdır. İletimde, MOS cihazı, drenaj öngerilim koşullarına göre 2 farklı özelliğe sahiptir. Drenaj-kaynak gerilimi (V_{DS}) $V_{GS} - V_{TH}$ 'den küçük ise MOS cihazı doyum noktasında değildir ve triyot bölgesindedir. Bu bölgede, drenaj akımı Eşitlik (3. 1)'deki gibi kabul edilebilir.

$$I_D \cong \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (3. 1)$$

μ_n ve C_{ox} , sırasıyla yarı iletkenin (silikon) elektron hareketliliği ve birim alan başına oksit kapasitansdır. Bu çarpım, malzeme özellikleri ile ilgili olduğu için genellikle sabit olarak alınır. Öte yandan, W kapının genişliği ve L kapının uzunluğudur. $V_{GS} - V_{TH}$ ifadesi yüklenme voltajı olarak bilinir ve MOS cihazının en çok kullanılan doyma bölgesine ulaşması için yüklenme voltajının V_{DS} 'den düşük olması gerekir. Doyma bölgesinde, I_D , Eşitlik (3. 2)'de görüldüğü gibi V_{GS} 'nin yanı sıra yüklenme geriliminin ikinci dereceden bir fonksiyonu haline gelir.

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (3. 2)$$

Eşitlik (3. 2)'den de anlaşılacağı gibi I_D , V_{DS} 'ye bağlı değildir, ancak V_{GS} ile kontrol edilir. MOS cihazının kapı-kaynak voltajını drenaj akımına ne kadar iyi

dönüştürdüğünü niteleyen, transkondüktans adı verilen bir ifade vardır. Transkondüktans (g_m), Eşitlik (3. 3) ile hesaplanabilir.

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} \text{ sabit}} \quad (3. 3)$$

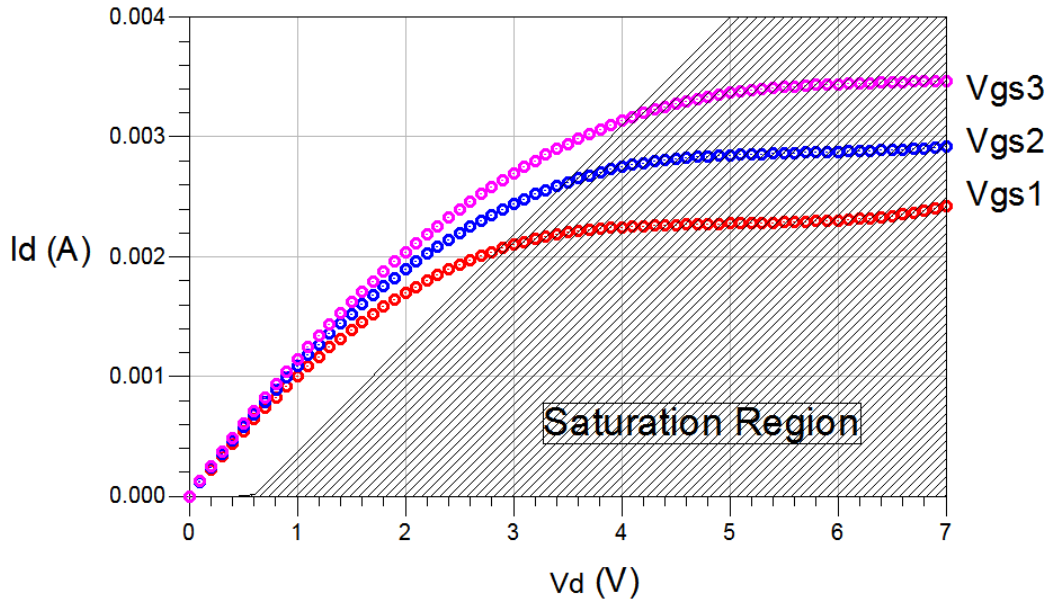
$$= \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \quad (3. 4)$$

Transkondüktans, Eşitlik (3. 5)'de gösterildiği gibi I_D ve yüklenme voltajının bir fonksiyonu olarak da ifade edilebilir:

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} \quad (3. 5)$$

$$= \frac{2I_D}{V_{GS} - V_{TH}} \quad (3. 6)$$

Şekil 3.2'deki grafik, N-kanallı bir MOS cihazının tüm çalışma bölgelerini göstermektedir.



Şekil 3.2 : N-kanal MOS cihazının farklı V_{GS} 'leri ile V_{DS} 'ye karşı I_D grafiği.

Eşitlik (3. 2) doygunluk bölgesindeki MOS cihazının temel özelliğidir; ancak, gerçek senaryoda MOSFET'in özelliğini değiştiren başka etkiler de vardır. Eşitlik (3. 2)'de I_D, V_{DS} 'nin bir fonksiyonu değildir ve V_{DS} 'den bağımsız olarak sadece doyma bölgesinde sabittir. Bu yaklaşım doğru değildir, çünkü I_D, V_{DS} 'nin zayıf bir fonksiyonudur ve bu fenomen kanal uzunluk modülasyonu (λ) olarak adlandırılır.

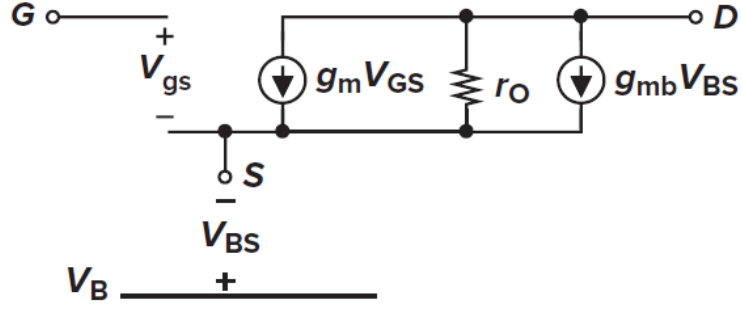
V_{DS} arttıkça drenaj terminali etrafındaki tükenme bölgesi genişler ve etkin kanal uzunluğu azalır. Etkin kanal uzunluğu $L' = L/(1 + \lambda V_{DS})$ olarak ifade edilebilir, dolayısıyla doygunlukta kanal uzunluk modülasyonu ile drenaj akımı şu şekilde ifade edilebilir:

$$I_D \cong \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (3.7)$$

Uygulamaya göre dikkate alınması gereken başka ideal olmayan durumlar da vardır. Bazıları bu bölümde daha sonra ele alınacaktır. Kapı kaçağı, ince kapı oksit nedeniyle kapıdan kanala istenmeyen akım akışıdır (tünelleme). Eşik altı kaçak, düşük eşik voltajı nedeniyle drenaj ve kaynak arasında istenmeyen akım akışıdır. Kanaldaki büyük dikey elektrik alanları, hareketlilik bozulmalarına neden olur. Hareket kabiliyetini azaltabilecek bazı geometriye bağlı etkiler de vardır. Kaynak ve drenaj rezistansları kanal rezistansı ile birleşerek; MOS cihazlarının gürültü rakamını, F_{max} 'ı ve kesme frekansını düşürür. Gövde etkisi, eşik voltajının alttaş (gövde) potansiyeline bağlıdır. Böylece, gövde yanlılığı ayarlanarak eşik voltajı azaltılabilir; ancak MOS cihazı başka istenmeyen durumlarla karşılaşabilir ve kontrol edilemez hale gelebilir. Ayrıca, sızıntılara neden olan ve kontrol edilebilirliği azaltan kısa kanal etkisi, ters kısa kanal etkisi ve drenaj kaynaklı bariyer düşürme gibi faktörler vardır. Bunlar, bu çalışma ile ilgili olmadığı için ayrıntılı olarak tartışılmamıştır. [62]

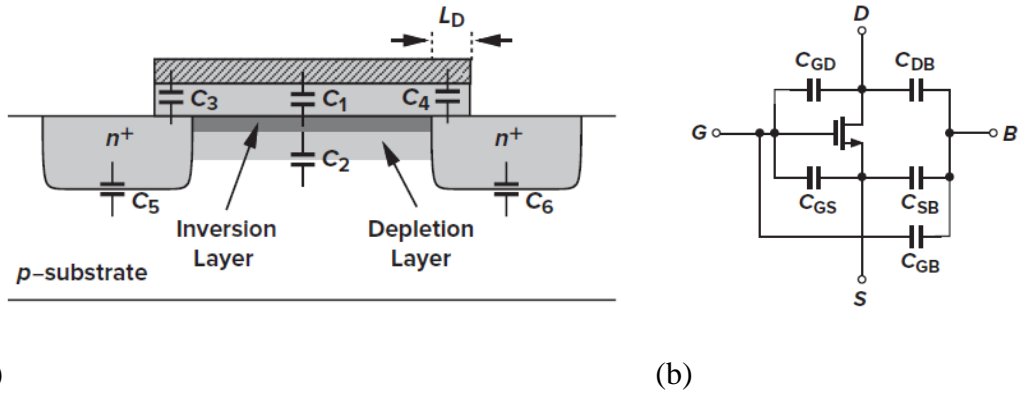
3.1.3 Yüksek frekans modeli

Temel MOSFET cihazı Şekil 3.3'deki 3-terminalli küçük sinyal modeli ile analiz edilmektedir. Küçük sinyal modeli, MOSFET'in doğrusal olmayan karakteristiğine doğrusal yaklaşımlarla devre analizini basitleştirir. Bu modeller genellikle cihazın doyma bölgesinde iletken durumda olduğunu varsayar. Şekil 3.3'teki cihaz modeli, herhangi bir parazit empedans olmadan yalnızca temel MOS cihaz küçük sinyal devre modelini göstermektedir. Bu varsayım, çalışma frekansının oldukça düşük olduğu uygulamaların çoğu için geçerli olan basit bir yaklaşımdır; yine de frekans arttıkça bu basit model artık doğru sonuçlar vermekten uzaklaşır. Yüksek frekanslarda, göz ardı edilen parazit bileşenlerin çoğu etkin hale gelir, bu nedenle doğru sonuçlar elde etmek için analize dahil edilmeleri gerekir. Cihaz performansını düşüren en etkili parazitik bileşenler, Şekil 3.4'te görüldüğü gibi MOSFET'in parazit kapasitanslarıdır.



Şekil 3.3 : Gövde etkisi ve kanal uzunluğu modülasyonu dahil olan MOSFET'in temel küçük sinyal modeli. [62].

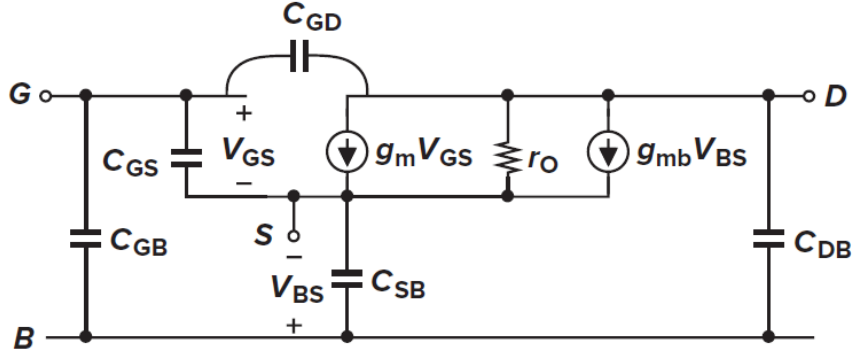
Şekil 3.4'teki MOS cihazının parazitik kapasitansları arasında kapı oksit kapasitansı (C_1), tükenme kapasitansı (C_2), kapıdan kaynağa/drenaja örtüşme kapasitansı (C_3, C_4) ve bağlantı kapasitansı kaynak/drenaj'dan alt tabakaya (C_5, C_6) bulunmaktadır. C_1 , kapı alanının ($W \times L$) bir fonksiyonudur. C_2 , kanal ve alttaş arasında oluşmaktadır. C_3 ve C_4 , temel bir hesaplama için $W L_D C_{ox}$ olarak kabul edilebilir; ancak, saçak alanlar nedeniyle doğru sonuçlar için ayrıntılı hesaplama ihtiyacı duyulur. Bağlantı kapasitansları C_5 ve C_6 iki bölümden oluşur: alt bağlantı kapasitansı C_j , ve yan duvar kapasitansı C_{jsw} . C_5 ve C_6 'nın toplam değeri, C_j 'yi kaynak/drenaj alanıyla ve C_{jsw} 'yi kaynak/drenaj çevresiyle çarpıp toplanarak hesaplanabilir. Bu parazitik kapasitanslar, MOS cihazının geometrisine bağlıdır.



Şekil 3.4 : MOS cihaz kapasitansları. [62].

Parazit bileşenlere sahip MOS cihazının geliştirilmiş yüksek frekans modeli Şekil 3.5'te görülmektedir. MOS cihazları arasında, ara bağlantılarda, pedlerde vb. tüm devre düzenine bağlı olan başka parazitik bileşenler de vardır. Özel devre veya yerleşim tasarımı için başka çeşitli modeller geliştirilebilir; ancak Şekil 3.5'teki genel

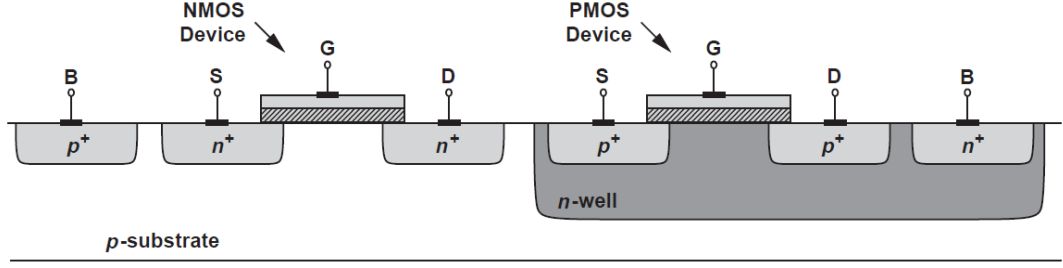
model, çoğu yüksek frekanslı uygulama için yeterince doğrudur. Ayrıca, terminal dirençleri bir noktada MOSFET performansını düşürür, bu nedenle daha doğru analiz için modele dahil edilebilirler. [62]



Şekil 3.5 : MOSFET yüksek frekans küçük sinyal modeli. [62].

3.2 CMOS Teknolojisi

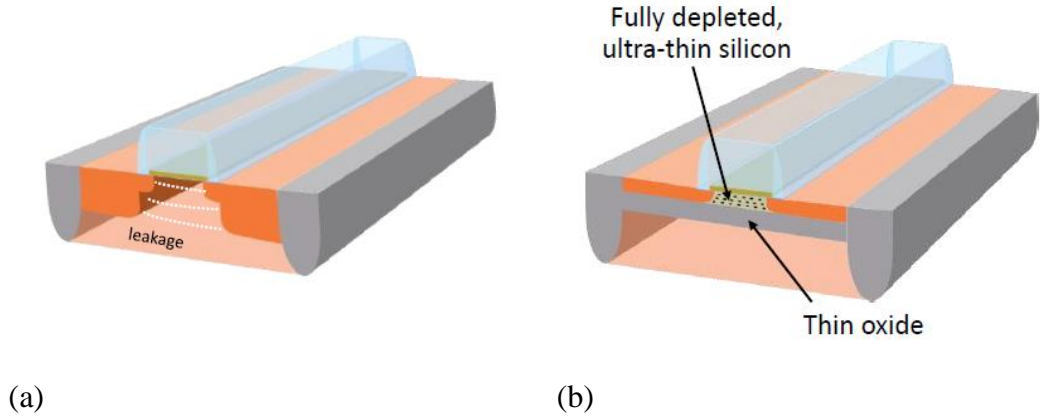
CMOS teknolojisi, aynı yonga üzerinde hem N-kanallı MOSFET hem de P-kanallı MOSFET oluşturulmasını sağlar (Şekil 3.6). MOSFET ilk olarak, anahtarlama sırasında yalnızca güç tüketimi meydana geldiğinden dijital olarak kullanılmıştır. CMOS'un ilk zamanlarında MOS cihazları yeterince hızlı olmaması, analog devrelerle uygulamasını zorlaştırmaktaydı; ancak, zamanla MOS cihazları ölçeklendi ve cihaz hızı iyileştirildi. Ayrıca, Moore'un son olarak belirttiği gibi, bir çip üzerindeki transistör sayısı her yıl iki katına çıkmaktadır, dolayısıyla MOS cihazının kapı uzunluğu küçülecektir. Bu durum daha karmaşık ve hızlı devre tasarımının önünü açmaktadır. Günümüzde CMOS teknoloji düğümleri 10 nm'nin altına düşmektedir. Teknolojinin hızı ve entegrasyon yoğunluğu artmaktadır; yine de bazı başka sorunlar ortaya çıkmaktadır. MOS cihazları küçüldükçe ve kanal uzunluğu azaldıkça kaçak sorunu ortaya çıkmakta ve maksimum drenaj akımı limiti düşmektedir. Bu sorunların üstesinden gelmek için FinFET yapısı 2001 yılında tanıtılmıştır. Bu tezde, çalışmayı uygulamak için 65 nm CMOS teknolojisi kullanılmıştır. Analog entegre devre tasarımı için CMOS'ta olgun bir teknoloji düğümüdür. Bu çalışma için kullanılan 65 nm CMOS teknolojisinde 9 metal katman bulunmaktadır. İstiflemede 3 farklı metal kalınlığı vardır. Üst metal, düşük kayıplı pasif bileşenler tasarım amacı için en kalın olanıdır. [63]



Şekil 3.6 : CMOS teknolojisi [63].

3.3 FDSOI Teknolojisi

Tamamen tükenmiş yalıtkan üzerinde silikon (FDSOI), tam kanal kapısı kontrolü ve daha düşük kapasitans için Gömülü Oksit'in üzerinde ince kanal katmanı (SOI) bulunan gelişmiş bir teknolojidir (Şekil 3.7). CMOS ve FDSOI teknolojilerinin yapısı Şekil 3.7'de görülmektedir. FD-SOI, daha düşük kaçak akımlara, çip boyunca daha az V_{TH} varyasyonuna, cihazlar arasında daha iyi izolasyona, azaltılmış bağlantı kapasitansına, kısa kanal etkileri iyileştirmesine ve gövde eğilimi yeteneğine sahiptir. Normal CMOS teknolojisi ile karşılaştırıldığında FDSOI milimetre dalga uygulamalarında yüksek verim ile kritik performanslar sergilemesi beklenmektedir [64].



Şekil 3.7 : Entegre Devre teknolojileri karşılaştırması. (a), CMOS. (b), FDSOI. [64]

3.4 Osilatör Temelleri

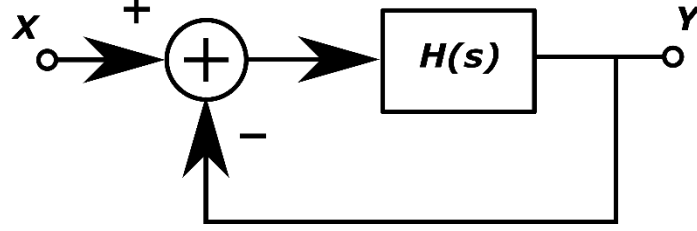
Osilatörler, birçok elektronik sistemde önemli devre parçalarıdır. Çıkışta periyodik sinyal üretirler ve bu sinyal sayısal sistemlerde referans sinyali veya haberleşme sistemlerinde taşıyıcı sinyal oluşturmak için kullanılır. Osilatörler, herhangi bir girişi olmayan pozitif geri besleme sistemleridir. Devrenin kendisinde oluşan gürültü yükseltilir ve periyodik sinyali oluşturur. Pozitif geri besleme sisteminin amplifikasyonu, çıkış sinyali besleme rayına ulaşana kadar devam eder.

Osilatör devrelerinde osilatörün performansını niteleyen bazı önemli parametreler vardır. Osilatörün çıkış dalga biçimi, RF sistemlerinin çoğunda başka bir aşamayı sürmek için kullanıldığından, yeterli çıkış voltajı salınımı ve büyük yük kapasitanslarında sürücü kapasitesi sağlamalıdır. Bir diğer önemli parametre, osilatörlerde faz gürültüsüdür. Bu parametre çıkış sinyali, besleme gürültüsü ve varyasyonları, bileşenlerin kalite faktörü, çalışma frekansı, ayar aralığı vb. gibi çeşitli faktörler nedeniyle sapar. Farklı parametreler arasındaki ödünleşimleri göz önünde bulundurarak net bir osilatör sinyali oluşturmak zordur. Ayrıca osilatörün verimi özellikle yüksek frekanslarda kritik öneme sahiptir. İyi tasarlanmış bir osilatörün düşük gücü iyi verimlilikle dağıtması beklenir.

Literatürde halka osilatörler, kristal osilatörler ve LC osilatörler gibi devre yapısına göre farklı osilatör tasarımları vardır. Halka osilatörü oluşturmak için tek sayıda invertör basamaklandırılır. Her aşamada bir faz farkı vardır ve toplam faz farkı 0° veya 360° , yani pozitif geri besleme oluşturur. Kristal osilatörler, titreşen kristallerin mekanik rezonansı ile sinyal oluşturur. Sinyalin frekansı, kullanılan kristalin boyutlarına ve malzeme özelliklerine bağlıdır. Belirli bir sıcaklık bölgesinde yüksek kalite faktörü sağlayabilirler; bununla birlikte, sıcaklık değişimlerine karşı hassastırlar. Son olarak, LC osilatörleri, salınımın çekirdeği olarak da bilinen bir rezonans devresinden ve çekirdeği oluşturan ideal olmayan bileşenlerin kaybını telafi etmek için aktif bir cihazdan oluşur. Çekirdeğin kaybı çoğunlukla indüktörlerden gelir, bu nedenle yüksek frekanslarda ardışık salınımlar elde etmek için tasarım iyileştirmeleri gerekir.

3.4.1 Geri besleme yaklaşımı

Genel bir negatif geri besleme sistemi Şekil 3.8'de gösterilmektedir. Bu sistemin transfer fonksiyonu incelenirse sistemin sonsuz kazançlı olması için bir koşul olduğu görülür.

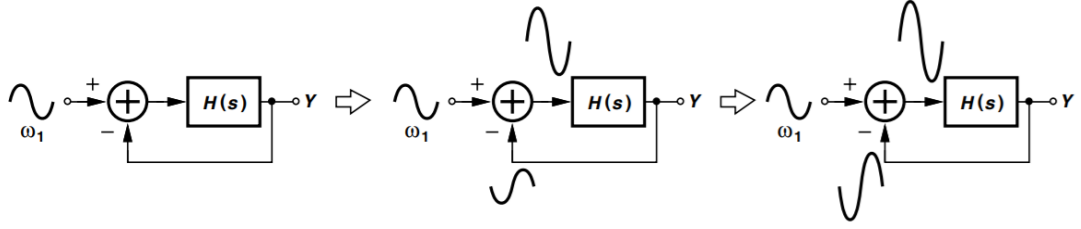


Şekil 3.8 : Genel negatif geri besleme sisteminin şeması.

Bu genel negatif geri besleme sisteminin transfer fonksiyonu Eşitlik (3. 8)'de olduğu gibi verilmiştir. $H(s)$, -1 olduğunda, bu geri besleme sisteminde salınım için koşul sağlanmakta ve transfer fonksiyonu sonsuz olmaktadır. Şekil 3.8'de girdi (X) ve çıktı (Y) arasında negatif geri besleme olarak da adlandırılan 180° faz kayması vardır. Salınım elde etmek için, sistemin çıkışının girişe eklenmesi ve döngüde 180° 'lik bir faz kayması daha olmalıdır.

$$\frac{Y(s)}{X(s)} = \frac{H(s)}{1+H(s)} \quad (3. 8)$$

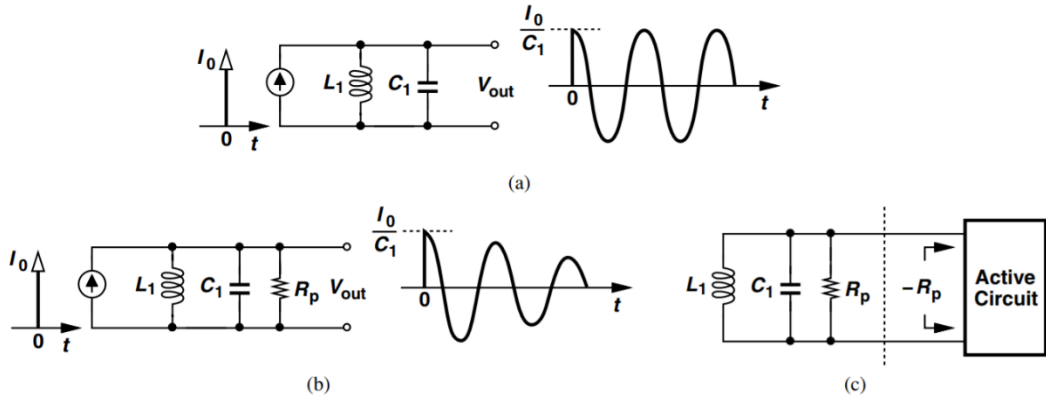
Genel bir geri besleme sisteminde, $H(s)$ karmaşık bir fonksiyondur, dolayısıyla salınım koşulu $|H(s)|=1$ ve $\angle[H(s)] = 180^\circ$ olduğunda oluşturulabilir. Bu koşullar, Barkhausen'in salınım kriterleri olarak adlandırılır. Şekil 3.9, negatif geri besleme sisteminde salınımın nasıl gerçekleştiğini göstermektedir. $H(s)$ frekansın bir fonksiyonudur, dolayısıyla Barkhausen'in salınım koşulları belirli bir frekansta meydana gelir. Sistemin salınım frekansında giriş ve çıkış arasındaki toplam faz kayması 0° veya 360° olduğunda, sistem bir pozitif geri besleme sistemi gibi davranır. Devredeki gürültüden oluşan pozitif geri besleme sinyalinin yapısını korumak için döngü kazancı olan $H(s)$ 'nin büyüklüğü en az 1 olmalıdır. Bu kriter başlangıç koşulu denir. $|H(s)|$ salınım oluşumunu daha hızlı yapacak şekilde 1'den daha yüksek olabilir. [62]



Şekil 3.9 : Negatif geri besleme sisteminde salınım üretimi [62].

3.4.2 Negatif rezistans yaklaşımı

Negatif direnç, osilatör devreleri için alternatif bir yaklaşımdır. Bir osilatör, bir rezonatör çekirdek devresine ve çekirdek kaybını telafi etmek için bir aktif devreye sahiptir. Bu devreler Şekil 3.10'da gösterildiği gibi iki tek kapılı devre olarak görülebilir. Şekil 3.10(a)'da olduğu gibi kayıpsız LC rezonans devresi bir darbe ile uyarılabilir ve çekirdek ideal bileşenlerden oluştuğu için rezonans frekansında herhangi bir ek cihaza gerek kalmadan osilasyon korunur. Bununla birlikte, gerçek senaryoda, çekirdekteki ideal olmayan bileşenlerin kaybını telafi etmek için herhangi bir ek devre olmadan salınım sürdürülemez. Şekil 3.10(b)'de R_p , salınım çekirdeğinin kaybını temsil etmektedir. Devre bir darbe ile uyarıldığında, salınım sürdürülemez ve zamanla kaybolur. Salınımı sürdürmek ve çekirdek kaybını telafi etmek için aktif bir devreye ihtiyaç vardır.



Şekil 3.10 : Salınım analizinde negatif direnç yaklaşımı. (a), kayıpsız LC rezonans devresi. (b), R_p ile LC rezonans devresindeki kaybın temsili. (c), Kayıplı LC rezonans devresi ve kaybı telafi etmek için aktif bir devre [62].

Salınım frekansında, aktif devre negatif direnç sağlar ve çekirdek kaybını telafi eder. Aktif devre, tek port görünümünden görülen empedansı negatif bir gerçekte kısma sahip olacak şekilde tasarlanmalıdır. Ayrıca, salınım frekansında başlangıç koşulunu sağlamak için büyüklük olarak kaybı temsil eden dirençten (Şekil 3.10-b'deki R_p) daha

büyük olmalıdır. Tüm osilatör devresinin tek port görünümünde empedansın sanal kısmı salınım frekansı hakkında bilgi verir. Şekil 3.10(c), negatif direnç sağlayan aktif devreli kayıplı osilatörün tek portlu görünümünü göstermektedir. [62]

3.5 Benzetim Araçları

Günümüz dünyasında, bileşenlerin sayısı ve devrelerin karmaşıklığı arttığından simülasyon, tasarım sürecinin kritik bir parçasıdır. Karmaşık devrelerden ardışık sonuçlar elde etmek için simülasyon kilit nokta haline gelmektedir. Çok karmaşık matematiksel modeller, 2B/3B fiziksel yapıların elektromanyetik modelleri çözülebilmekte ve gerçek zamanlı simülasyon ile ihtiyaca göre tasarım geliştirilmektedir. Simülasyon araçları olmadan karmaşık modelleri çözmek ve karmaşık devreler tasarlamak mümkün değildir. Diğer bir yönü ise projenin maliyetini düşürmektir. Doğru ayarlanmış simülasyon araçları, proje sırasında zamandan ve paradan tasarruf sağlar. Çeşitli davranışlar için birçok bilgisayar destekli simülasyon aracı vardır. Devam eden alt bölümlerde bu çalışmada kullanılan simülasyon araçları kısaca tartışılacaktır.

3.5.1 Cadence Virtuoso ortamı

Cadence®'in elektronik bilgisayar destekli tasarım (eBDT) paketi, devreleri tasarlamak, optimize etmek, analiz etmek ve entegre etmek için çok çeşitli yazılım araçlarını birleştirir. Entegre devre tasarımcıları için bazı güçlü BDT araçları vardır; ancak en yaygın araç takımı Cadence'in Virtuoso tasarım ortamıdır. Virtuoso, analog ve dijital entegre devreler için hem frekans hem de zaman alanında çok çeşitli simülasyon seçenekleri sunar. Grafik kullanıcı arayüzü, tasarım araçları arasında kolay entegrasyon sağlar. Entegre devre tasarım ortamında 30 yılı aşkın deneyimiyle Virtuoso, piyasadaki en doğru ve güvenilir çip düzeyinde entegre devre simülatörlerinden biridir. Bu tasarım ortamı, üreticinin seçilen teknoloji için kullanıcıya sağladığı Süreç Tasarım Kiti (STK) ile kolay etkileşime izin verir. STK, üretim teknolojisinin kurallarını ve yeteneklerini içerir. Ayrıca, devre düzeni, bileşenler ve fiziksel tasarımları için devre modelleri sağlar. Üreticiler, simülasyon ve ölçüm prosedürlerini dikkate alarak STK'ları geliştirir [65].

Bu çalışmada, akademik kullanımla lisanslanan TSMC'den 65 nm CMOS ve Global Foundries'den (IBM) 22 nm FDSOI STK'ları kullanılmaktadır.

TSMC ve Global Foundries'den gelen STK'lar, önerilen devre tasarımlarını incelemek için Cadence Virtuoso ile entegre edilmiştir.

3.5.2 SPICE ve BSIM modelleri

California Berkeley Üniversitesi ilk olarak 1970'lerde SPICE® devre simülatörünü yaratmış ve o zamandan beri yaygın bir kullanım kazanmıştır. SPICE, tüm devre tasarımlarını doğru bir şekilde simüle etmek için araştırmacılar ve üreticiler tarafından oluşturulan elektronik bileşenlerin matematiksel modelleriyle çalışır. BSIM ayrıca, transistörler için matematiksel modeller geliştirmek üzere University of California Berkeley tarafından oluşturulmuştur. Bu modeller, simülasyonlarda doğru transistör işlemini uygulamak için birçok satıcıyla birlikte kullanılabilir. BSIM modellerinin ileri teknoloji düğümleri ile geliştirilmiş farklı versiyonları bulunmaktadır. Farklı transistör yapıları için BSIM modellerinin farklı versiyonları da bulunmaktadır. Tüm bu BSIM modelleri, transistörlü devreleri simüle etmek için Cadence Virtuoso ile birlikte kullanılabilir [66].

Bu çalışmada, TSMC'den 65 nm CMOS'ta MOS transistörler için BSIM 4.5 modeli kullanılmıştır. Bu modeller, TSMC'nin tasarım kurallarında beyan ettiği özel çalışma koşulları için geliştirilmiştir. Bu nedenle, simülasyonlar sırasında herhangi bir ek hatadan kaçınmak için bu koşullar dikkate alınmalıdır. Global Foundries'den 22 nm FDSOI teknolojisinde, FDSOI MOS transistörleri için BSIM-IMG modeli kullanılmıştır. BSIM-IMG modeli, FDSOI, IG-FinFET ve diğerleri için daha doğru matematiksel modeller sağlamak üzere BSIM'den farklı olarak geliştirilmiştir.

3.5.3 Sonnet Suites

Sonnet'in yüksek frekanslı elektromanyetik (EM) yazılım çözümleri, tasarımcıların öncelikle düzlemsel (3-boyutlu düzlemsel) devrelerin ve antenlerin tasarımında EM benzetim ihtiyaçlarını karşılamaktadır. Sonnet, ortamda sağlanan altaş özellikleri, malzeme özellikleri vb. gibi gerekli bilgiler olması durumunda fiziksel yerleşim yapılarının benzetimlerini yapabilir. Bu aracın en kullanışlı özelliklerinden biri Cadence Virtuoso ortamıyla uyumlu olmasıdır. Virtuoso'da serim tasarımı üzerinde çalışırken, Sonnet, yapı üzerinde belirtilen bağlantı noktaları ve sağlanan yığın yapı eşleme dosyası ile çalıştırılabilir. Yığın eşleme dosyası genellikle üreticinin sağladığı STK'da bulunur. Sonnet, yapıya göre gerekli denklemleri çözmek için

Moment Yöntemi tabanlı analiz kullanır. Tüm parazitik, çapraz kuplaj, muhafaza ve paket rezonans etkilerini içerdiğinden piyasada güvenilirliği yüksektir.

Bu tez kapsamındaki tasarım prosedüründe, 22 nm FDSOI'de geliştirilen devrede indüktörler ve iletim hatlarının benzetimlerini yapmak için Sonnet kullanılmıştır. Bu bileşenlerin kalite faktörleri, frekans hedeflemede çok kritiktir, bu nedenle, devrede herhangi bir istenmeyen etki dahil edilerek tasarımın ve simülasyonların doğruluğu sağlanmalıdır. Yukarıdaki amaçları göz önünde bulundurarak, optimum yapı elde etmek için Sonnet ile indüktörler ve iletim hatları için farklı yapılar gözlemlenmiştir [67].

3.5.4 EMX

Sonnet Suites'e benzer şekilde, EMX de Integrand Software tarafından sağlanan 3B düzlemsel devreler için bir elektromanyetik bir çözücüdür. EMX aracının üstünlüğü, piyasadaki simülasyon araçlarına kıyasla tavizsiz hız ve doğruluk arasında iyi bir uyarlamadır. EMX, gerçek zamanlı yerleşim tasarımları için Cadence Virtuoso'da kullanım için de uyumludur. Kullanıcı dostu GUI ile oldukça basit bir kullanıma sahiptir. Yapının EM simülasyonunu gerçekleştirmek için üretim teknolojisine ve yerleşimden bağlantı noktalarına dayanan bir süreç dosyasına ihtiyaç duyar. EMX'in bir başka kullanışlı özelliği de EM simülasyonuna göre elektriksel model oluşturmadır. İndüktörler, kapasitörler, iletim hatları vb. bazı yapılar için şablon modeller vardır; böylece devrede hızlı bir şekilde kullanmak için EM simülasyonuna göre özel bileşenler oluşturulabilir. EMX, 3B iletkenler ve hatlar, cilt etkisini doğru bir şekilde hesaba katan gerçek hacimsel akımlar, doğru yan duvar kapasitansları, katmanlı ve kayıplı altaş efektleri, altaş ve bileşenler arası bağlantı sağlayarak yeterli doğruluk sağlar.

Bu tezde 65 nm CMOS'da tasarlanan osilatör devrelerinde pasif bileşenleri simüle etmek için EMX aracı kullanılmıştır. İndüktörler, kapasitörler, transformatörler ve iletim hatları EMX ile simüle edilmekte ve bazı yapılar için elektriksel model oluşturma özelliği kullanılmaktadır [68].

3.5.5 AWR Microwave Office

AWR Microwave Office, tasarımcılar ve mühendisler için bir RF ve mikrodalga devre tasarım aracıdır. Eşzamanlı çalışma ortamı için RF tabanlı şematik, serim ve tasarım düzeni sağlar. AWR APLAC® harmonik denge (HD) simülatörü ile yüksek frekanslı devreler analiz edilebilir. Bu simülatör, doğrusal ve doğrusal olmayan devreleri simüle etmek için karmaşık çok hızlı HD, geçici yardımcı HD ve zaman değişkeni (devre zarfı) analizini kullanarak büyük ölçekli ve doğrusal olmayan RF/mikrodalga devrelerini destekler [69].

Bu çalışmada, AWR Microwave Office ile osilatör devrelerinin küçük sinyal modelleri geliştirilmiştir. Yazılımda çalışılan devrenin elektriksel modelinden kazanç ve giriş empedansı ifadeleri gözlemlenmiştir. AWR Microwave Office'in optimizasyon özelliği, bileşen parametrelerinin kazanç ve giriş empedansına etkisini gözlemlmek için kullanılmıştır.

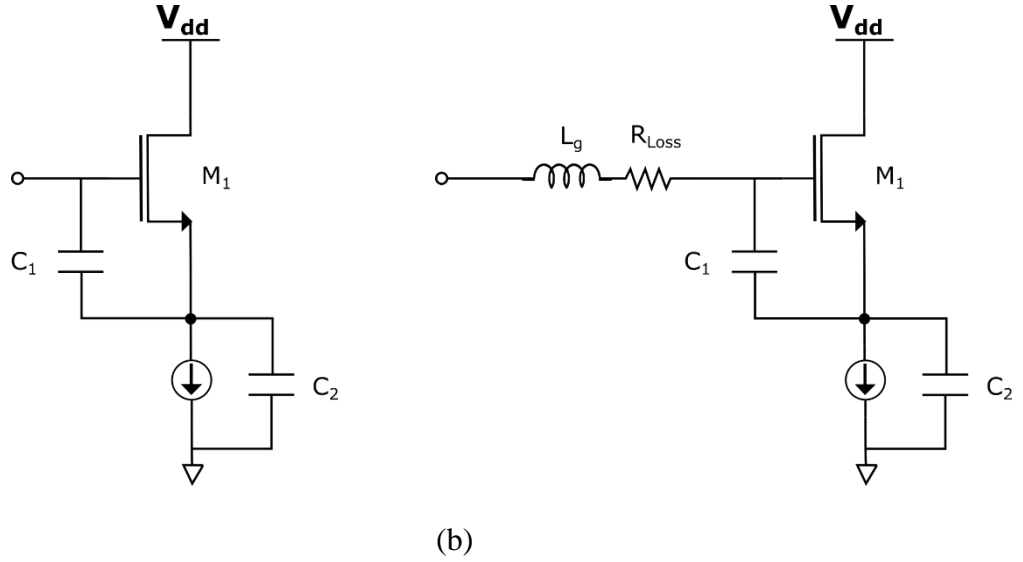
4. ALT-TERAHERTZ BANDINDA TEMEL OSİLATÖR DEVRE TASARIMI

Tezin bu bölümünde, F_{max} 'a yakın çalışan bir LC tabanlı osilatör için tasarım yaklaşımı önerilmiştir. Yüksek frekanslarda temel osilatör devre tasarımı, elektrik devre modellerinin ve analiz yönteminin geliştirilmesini gerektirir. Bu bölüm, temel LC tabanlı diferansiyel osilatör devresinin tasarım yaklaşımıyla başlamaktadır. Analiz yaklaşımını net bir şekilde anlamak için bilinmesi gereken bazı terimlerin kısa bir açıklaması bulunmaktadır. Osilatör devresi, tasarım prosedürünün bir parçası olarak geliştirilmiş devre modelleri analiz edilerek bu bölümün ilerleyen kısımlarında sunulmaktadır.

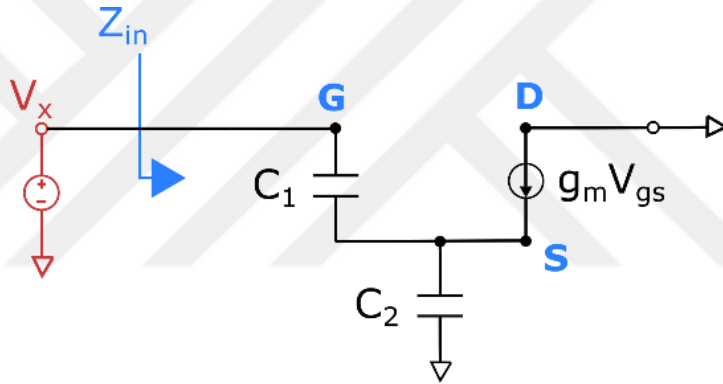
4.1 Tasarım Yaklaşımı

Bir osilatör devresini analiz etmek ve çalışma prensibini anlamak için önceki bölümde bahsedilen iki ana yöntem vardır. Geri besleme yaklaşımı, kontrol teorisinde olduğu gibi osilatör devresini analiz eden yaklaşımdır; ancak, salınımı sürdürmek için kararsız bir sistem elde etmeye dayanır. Öte yandan, negatif direnç yaklaşımı, devrenin salınımını sürdürmesini engelleyen devredeki kayıpların telafi edilmesine dayanmaktadır. Bu yaklaşımda, tasarımdaki bir MOSFET olan aktif cihaz, temel bir LC devresinin osilatör çekirdeğinin salınımı sürdürebilmesi için kayıp miktarında negatif direnç sağlamaktadır. Bu tezde, diferansiyel temel osilatör devresi, negatif direnç tabanlı bir yaklaşımla analiz edilmektedir. Bu yöntemin temellerini anlamak için Şekil 4.1'deki basit bir LC osilatör devresi, salınım frekansını ve devrenin kayıplarını telafi etmek amaçlı gereken negatif direnci bulmak için analiz edilebilir.

Şekil 4.1(a)'da aktif bir cihaz ve iki kapasitör bulunmaktadır. MOSFET'in kaynak terminalindeki akım kaynağı, toprağa giden DA akım yolunu temsil eder. C_1 , MOSFET'in kapıdan kaynağa kapasitansı olarak kabul edilebilir, aynı şekilde gövde toprağa bağlıysa C_2 kaynaktan gövdeye kapasitans olarak kabul edilebilir. Bu devre, kapı terminalinden empedansı bulmak için analiz edilebilir. Şekil 4.1'deki devrenin küçük sinyal modeli aşağıdaki Şekil 4.2'de verilmiştir.



Şekil 4.1 : Giriş empedansı analizi için temel LC osilatör devresi. (a), indüktörsüz osilatör devresi. (b), kayıplı kapı indüktörlü osilatör devresi.



Şekil 4.2 : Temel osilatör devresinin küçük sinyal modeli.

Giriş empedansını bulmak için, Kirchhoff'un voltaj yasası (KVY), kapıdan toprak döngüsüne aşağıdaki gibi uygulanabilir.:

$$V_x = \frac{I_x}{J\omega C_1} + \left(I_x + \frac{g_m I_x}{J\omega C_1} \right) \frac{1}{J\omega C_2} \quad (4.1)$$

$$V_x = I_x \left(\frac{1}{J\omega C_1} + \frac{1}{J\omega C_2} - \frac{g_m}{\omega^2 C_1 C_2} \right) \quad (4.2)$$

$$Z_{in} = \frac{V_x}{I_x} = \left(\frac{1}{J\omega C_1} + \frac{1}{J\omega C_2} - \frac{g_m}{\omega^2 C_1 C_2} \right) \quad (4.3)$$

Eşitlik (4.1)'de, $I_x/(J\omega C_1)$ kapıdan kaynağa voltajı temsil eder ve denklemdeki diğer terim Şekil 4.2'deki küçük sinyal modelindeki kaynak voltajını temsil eder. Böylece,

Eşitlik (4. 3)'deki giriş empedansı ifadesinden, giriş empedansının gerçek kısmı aşağıdaki şekilde bulunur:

$$Re\{Z_{in}\} = -\frac{g_m}{\omega^2 C_1 C_2} \quad (4. 4)$$

Giriş empedansının sanal kısmı, C_1 ve C_2 'nin seri birleşimidir. Analizden de anlaşılacağı üzere Şekil 4.1(a)'daki devrenin giriş empedansında negatif bir terim bulunmaktadır. Bu devreden bir salınım oluşturmak için Şekil 4.1(b)'de gösterildiği gibi kapı terminalindeki devreye bir indüktör eklenebilir. İndüktörün bir R_{Loss} kaybı ile geldiğini varsayarsak, devre LC'nin rezonasyonu ile salınır ve bu salınımı sürdürmek için indüktör kaybı Eşitlik (4. 4)'deki negatif direnç ile telafi edilmelidir. Salınım frekansı LC devresinin rezonasyonundan bulunabilir. İndüktör L_g eklendikten sonra giriş empedansının sanal kısmı salınım sırasında sıfır olmalıdır, bu nedenle salınım frekansı aşağıdaki gibi bulunabilir:

$$\frac{1}{j\omega C_1} + \frac{1}{j\omega C_2} + j\omega L_g = 0 \quad (4. 5)$$

$$\omega_{osc} = \sqrt{\frac{1}{L_g} \frac{C_1 + C_2}{C_1 C_2}} \quad (4. 6)$$

Dolayısıyla, MOSFET yeterli transkondüktans anlamına gelen negatif direnç sağlayabildiği sürece, Şekil 4.1(b)'deki osilatör devresi, Eşitlik (4. 6)'daki ω_{osc} frekansında salınımı sürdürebilir. Osilatör devresi ile ilgili bir diğer önemli durum ise başlangıç koşuludur. Eşitlik (4. 3)'deki giriş empedansının negatif direnç kısmı çoğunlukla indüktör kaybından oluşan devrenin toplam kaybindan daha büyük olmalıdır. Aksi takdirde devre yeterli transkondüktans sağlayamaz ve osilasyon sinyali alınmaz. Şekil 4.1(b)'deki devreden negatif direnç yaklaşımıyla başarılı bir salınım elde etmek için, devre kaybının Şekil 4.1(a)'daki devrenin geçici durumda sağlayabileceği negatif direnç değerinden küçük olması gerekir; bundan sonra, negatif direnç değeri, ω_{osc} salınım frekansında kararlı durumda devrenin kaybı ile eşit olur.

4.2 Transistör Performans Konuları

Bu tezin amaçları doğrultusunda osilatör devresinin kullanılan yarıiletken teknolojisinin F_{max} 'a yakın THz altı frekanslarda çalışması gerekmektedir. Bu nedenle, MOSFET cihazının boyut değerlendirmeleri bazı transistör performans

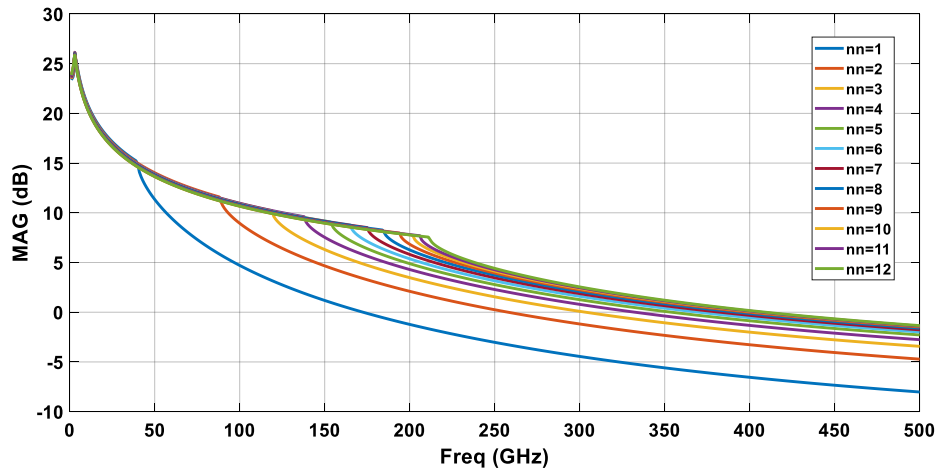
parametreleri ile yapılmalıdır. Cihaz çalışma aralığını, F_{max} 'ı, cihazın kararlılığını vb. tanımlayan aktif cihazlar için üç ana kazanç tanımı vardır.

4.2.1 Maksimum kullanılabilir kazanç

Hem giriş hem de çıkış portları eşlenik eşleştiğinde aktif cihazdan maksimum kullanılabilir kazanç (MAG) elde edilebilir. Aktif cihazın giriş ve çıkış portları, maksimum kullanılabilir kazançta sahip olmak için ek bir eşleme yapan devreye ihtiyaç duyar.

Örnek olarak, Şekil 4.3'te 22 nm FDSOI'de farklı sayıda kapı parmaklı transistörlerin maksimum kullanılabilir kazancı için simülasyon sonuçları vardır. Kapı parmak sayısı 1 ile 12 arasında değişmektedir. Transistörün genişliği $3 \mu\text{m}$ 'dir. Bu grafikte her bir transistör için görülen büküm noktası maksimum stabil kazanç bölgesinden maksimum kullanılabilir kazanç bölgesine geçişi ifade etmektedir. Bu bükümün sol tarafında stabilite faktörü 1'den küçük, dolayısıyla maksimum kullanılabilir kazanç tanımsız olmaktadır. Bükümün sağ tarafında ise stabilite faktörü 1'den büyük ve aktif cihaz koşulsuz stabil olmaktadır.

Her transistörün güç kazancının sıfıra düştüğü (teorik F_{max}) farklı noktaları olduğu açıkça görülmektedir. Aslında, transistörler bu teorik F_{max} 'larda salınamazlar; çünkü diğer tüm bileşenlerin kayıpları ve ideal olmayan üretim limitleri vardır.



Şekil 4.3 : 22 nm FDSOI'de farklı sayıda kapı parmaklarına sahip transistörlerin maksimum kullanılabilir kazanç grafiği.

Bu simülasyon sonuçları ile transistörlerin F_{max} 'ları gözlemlenebilmekte ve bu çalışma için cihazın boyut seçimi yapılabilmektedir.

4.2.2 Tek taraflı kazanç

Aktif cihazın izolasyonu teorik olarak sonsuz olduğunda tek taraflı kazanç elde edilebilir. Gerçek durum senaryosunda, özellikle yüksek frekanslarda çıkış ve giriş portu arasında sızıntıya neden olan kapı-direnaj kapasitansı vardır. Bir MOSFET'in kapı-direnaj kapasitansını telafi etmek için aktif cihazın giriş ve çıkış portları arasına kayıpsız, karşılıklı ve pasif bir devre yerleştirilebilir. Kullanılabilir maksimum kazançta benzer şekilde hem giriş hem de çıkış bağlantı noktalarına eşleme devresi gereklidir. Tek taraflı kazanç teorik olarak şu şekilde hesaplanabilir:

$$UG = \frac{|Y_{21}|^2}{4(G_{11}G_{22} - G_{12}G_{21})} \quad (4.7)$$

Aktif cihazın giriş ve çıkış portları arasındaki ek devre kayıpsız olmadığından, tek taraflı kazancın teorik hesaplaması, gerçekte elde edilemez.

4.2.3 Ulaşılabilecek maksimum kazanç

Aktif cihazın giriş ve çıkış portları arasındaki ek devre, tek taraflı veya maksimum elde edilebilir kazançtan daha fazla kazançta sahip olmak için kullanılabilir. Buna ulaşılabilir maksimum kazanç denir. Eşitlik (4.7)'deki tek taraflı kazanç denklemini kullanarak bir transistörün elde edilebilir maksimum kazancı şu şekilde hesaplanabilir:

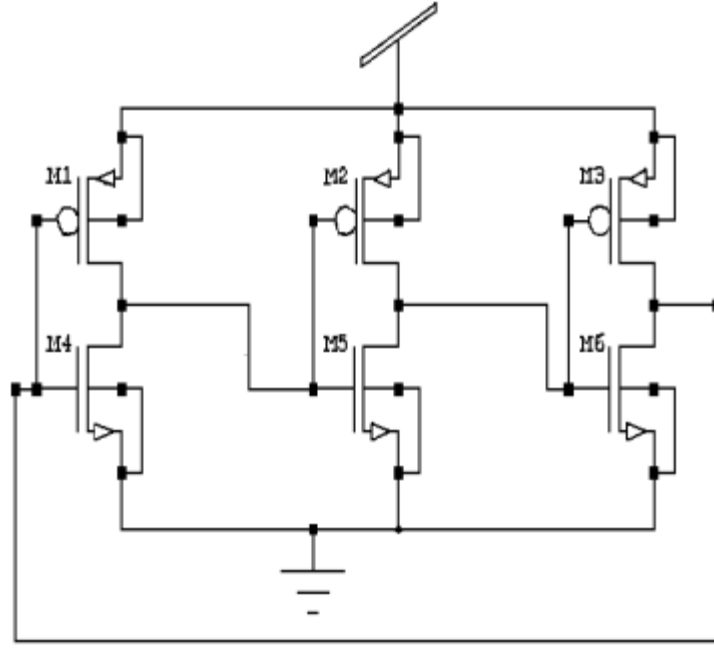
$$UMAG = (2UG - 1) + 2\sqrt{UG(UG - 1)} \quad (4.8)$$

UG'nin yeterince yüksek olduğu varsayılırsa, elde edilebilecek maksimum kazanç, tek taraflı kazançtan 6 dB daha yüksek olan 4UG olarak tahmin edilebilir.

4.3 Osilatör Devre Topolojileri

Literatürde osilatör devre tasarımı için farklı devre topolojileri bulunmaktadır. Bu devre topolojileri kullanım alanı ve tasarım hedeflerine göre değişken performanslar göstermektedir. Temel olarak ana frekansta çalışan osilatör devrelerinin uyarlanabileceği iki topoloji bulunmaktadır. Bunlardan ilki olan yüzük osilatör topolojisinde birden fazla evirici devresi kademeli olarak ard arda bağlanarak salınımın oluşması için gerekli olan faz koşulu sağlanır. Aynı zamanda bölüm 3.4.1'de anlatıldığı gibi Barkhausen kriterlerinden başlangıç koşulu olan açık devre kazancının da sağlanması için evirici devreleri her bir kademe arası gerekli kazancı sağlamalıdır.

3 Kademeden oluşan, standart eviriciler kullanılarak oluşturulan bir yüzük osilatör devresi Şekil 4.4 'da verilmiştir.



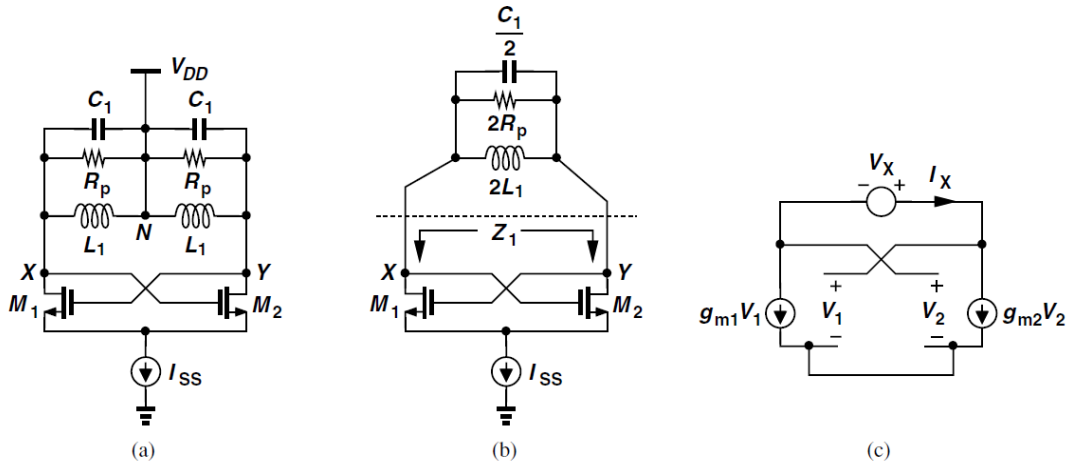
Şekil 4.4 : Standart eviriciler kullanılarak oluşturulan 3 kademeli yüzük osilatör [70].

Her bir kademenin düşük frekans kazancı A_0 olarak kabul edilirse, üçlü kademenin açık döngü kazancı $-A_0^3 / \left(1 + \frac{s}{\omega_0}\right)^3$ olarak ifade edilmektedir. 180° açık döngü faz kriterini sağlamak için her bir kademe 60° faz sağlamalıdır. Tek bir eviricinin transfer fonksiyonundan 60° faz sağladığı frekans hesaplanırsa; $\tan^{-1}\left(\frac{\omega_{osc}}{\omega_0}\right) = 60^\circ$, salınım frekansı, $\omega_{osc} = \sqrt{3}\omega_0$ olarak bulunmaktadır. Buradaki kutup (pole) frekansı; ω_0 , bir sonraki kademenin kapı-kaynak kapasitansı ve PMOS transistörün sağladığı direnç değerlerinden oluşmaktadır (diğer parazitik bileşenler ihmal edildiğinde). Salınım frekansının çıkabileceği maksimum değer, kapı-kaynak kapasitansına ve PMOS transistörün çalışma freksında sağladığı direnç değerine bağlıdır.

Yüzük osilatör devresinin RF entegre devrelerde tercih edilmesinin başlıca sebepleri; kolay bir tasarıma sahip olması, bobin olmadan salınım sağlayabilmesi, çoklu faz çıkışı sağlayabilmesi, düşük voltajlı tasarımlarla düşük güç tüketimi sağlaması olmaktadır. Bununla birlikte alt-THz frekanslarında transistörlerin DA kapı potansiyelinin, doğrudan drenaj akımına bağlı olması ve ayrıca kontrol edilemiyor olması, parazitik bileşenleri kontrol dışı etkileyen ve tasarımı limitleyen bir durum

olmaktadır. Benzer şekilde yüzük osilatörlerin LC osilatörlere kıyasla faz gürültüsünün daha yüksek olduğu gözlemlenmiştir [71]. Özellikle bu çalışmanın hedef frekanslarında bu iki dezavantajın osilatör performansını düşüreceği görülmüştür.

Yüzük osilatörlerin daha iyi faz gürültüsü sağladığı, drenaj terminallerinde LC rezonatörlerin bulunduğu bir diğer yapı olan çapraz bağlamalı osilatör de yaygın bir şekilde tercih edilmektedir. Şekil 4.5(a)'da gösterilen bu topolojinin tek bir kademesi yüzük osilatördeki benzer bir şekilde analiz edilirse, LC devresinin rezonans olduğu frekansta girişi ve çıkışı arasında 180° faz farkı sağlayacağı görülmektedir.



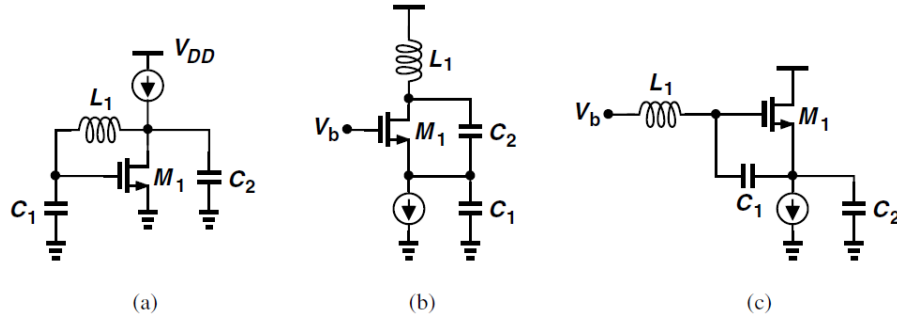
Şekil 4.5 : (a), çapraz bağlamalı osilatör devresi. (b), elemanların birleştirilmiş hali. (c), transistörlerin sağladığı empedans analizi [63].

Bu durumda aynı devre iki kademe olacak şekilde çapraz bağlanırsa toplamda 360° faz farkı elde edilecek ve salınım için gerekli faz koşulu sağlanacaktır. Salınım için gerekli kazanç koşulu ise drenaj terminalindeki bobinin kaybından türeyen paralel direnç değeri ve transistörün transkondüktans değeri kullanılarak hesaplanabilir. Aynı devre negatif rezistans yaklaşımı ile de analiz edilebilir. Bu durumda Şekil 4.5(c)'de olduğu gibi çapraz bağlı transistörlerin drenaj terminallerine bir voltaj kaynağı bağlanıp empedans hesabı yapılırsa, transistörlerin sağladığı negatif direnç değeri hesaplanabilir. Bu değer LC devrelerinden gelecek kayıpları tolere edecek kadar büyük olursa, devrenin salınımı mümkün olacaktır.

Çapraz bağlamalı osilatör devresi doğası gereği diferansiyel bir yapı oluşturmakta ve dolayısıyla ekstra tasarım değişikliklerine gerek kalmadan osilatör performansına olumlu bir etki sağlamaktadır. Fakat, transistörlerin negatif direnci doğrudan besleme gerilimine bağlıdır. Bu nedenle salınım genliği ve faz gürültüsü de doğrudan besleme

gerilimine bağlı olmaktadır. Bu durum özellikle alt-THz frekanslarında, osilatörler için arzu edilmez bir senaryo oluşturmaktadır. Bu durumu iyileştirmek için, ekstra bileşenler kullanılarak bu topolojide sabit kuyruk akım kaynağı tasarım planına eklenmelidir.

Bu tez çalışmasında kullanılan topolojinin de içinde olduğu, transistör terminallerinin topraklanmasına göre elde edilen üç farklı LC osilatör devresi Şekil 4.6'da verilmektedir.



Şekil 4.6 : Transistörler terminallerinin topraklanmasına göre oluşan osilatör devre topolojileri. (a), kaynak topraklanmış. (b), kapı topraklanmış (Colpitts). (c), Drenaj topraklanmış (Clapp) [63].

Bu devrelerin analizi negatif rezistans yaklaşımı kullanılarak yapıлып, aynı sonuçlar hepsinden elde edilebilir. Bobinler olmadan transistörün parazitik kapasitanslarını simgeleyen C₁ ve C₂ kapasitansları ile devrelerin kapı ve drenaj arasında bir voltaj kaynağı bağlanılarak empedans hesabı yapılırsa, üç devre için de $Z = \frac{V_x}{I_x} = \frac{1}{C_1 s} + \frac{1}{C_2 s} - \frac{g_m}{C_1 C_2 \omega^2}$ eşitliği elde edilmektedir. Devrelere eklenen L₁ bobini ile $\omega_{osc} = \frac{1}{\sqrt{L_1 \frac{C_1 C_2}{C_1 + C_2}}}$ frekansında salınım elde edilirken transistörün sağladığı negatif direnç ile de özellikle bobinden gelen kayıplar tolere edilmektedir.

Çapraz bağlamalı osilatör tasarımına göre bu devreler daha sıkı bir başlangıç koşuluna sahiptir. Aynı zamanda bu devrelerin her ne kadar tasarımları en basit ve uyarlaması en kolay olanları olsa da diferansiyel bir yapıda olmayışları osilatör performansını düşürmekte ve özellikle kaynaklardan gelecek gürültülere karşı dayanaksız bir yapı olmalarına yol açmaktadır. Bu osilatör yapılarından Şekil 4.6(b) ve (c)'deki devrelerin alt-THz frekanslarında osilatör tasarımı için sağladıkları avantaj ise, kapı voltajının drenaj beslemesinden ayrı olup diğer bileşenlerden bağımsız olarak kontrol edilebilmesi olmaktadır. Bu durum alt-THz frekanslarında transistörün parazitik

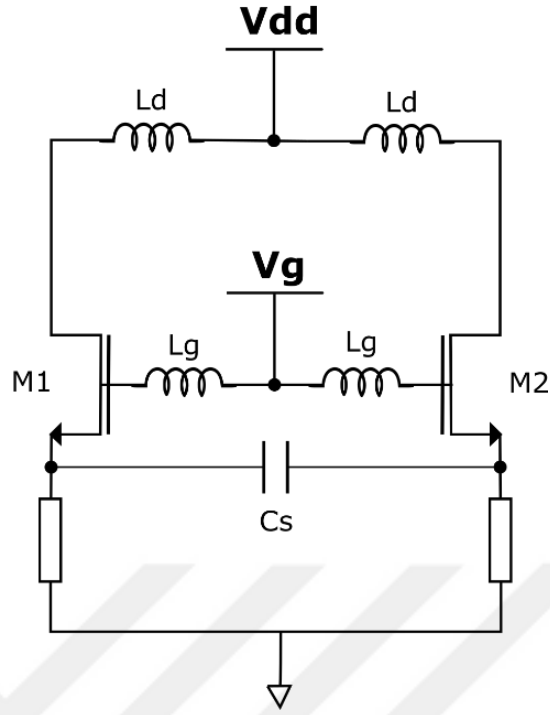
bileşenlerini ve dolayısıyla maksimum osilasyon frekansı ve çıkış gücünü etkileyeceği için daha uygun bir tasarım olmaktadır. Bu etkenler göz önünde bulundurulduğunda, drenaj terminallerinde DA'yı AA'dan ayırmak için bir drenaj bobini Şekil 4.6(c)'deki Clapp osilatör topolojisine eklenmiş ve Şekil 4.6(b) ve (c) deki iki osilatör devresi birleştirilerek ayrı bir devre oluşturulmuştur. Osilatör performansını daha da iyileştirmek adına elde edilen bu devre Şekil 4.7'de olduğu gibi simetrik bir şekilde sırt sırta bağlanarak diferansiyel bir yapı oluşturulmuştur. Bu devre topolojisi için, çapraz-bağlı osilatör devresinden farklı olarak, topolojinin kendisinde bunu önleyen hiçbir mekanizma olmadığı için ortak mod salınımlarının meydana gelebileceği belirtilmelidir. Teorik olarak, diferansiyel çiftin her bir yarısı aynı faz ile aynı frekansta salınabilir. Bununla birlikte, her devre yarısındaki indüktörler ayrı ayrı değil, simetrik döngü indüktörleri olarak birlikte uygulanırsa, indüktör yarımaları arasında doğal manyetik eşlenmeler oluşacaktır. Bu bağlantı, belirli bir endüktans için toplam indüktör boyutunu küçültme avantajına sahiptir, ancak daha da önemlisi, iki yarımın salınımlarını birleştirir ve diferansiyel modu zorlar.

Bu tez çalışmasında, literatürdeki çalışmaların da desteklediği şekilde, hedef frekanslarda sağlayacağı birtakım avantajlar olduğu için Şekil 4.7'deki osilatör devre topolojisi kullanılmaktadır [43, 58].

4.4 Diferansiyel Osilatör Devresi ve Analizi

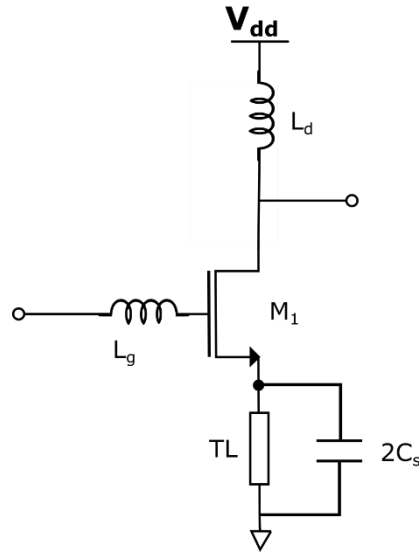
Şekil 4.7'deki diferansiyel temel osilatör devresi THz altı salınım elde etmek için kullanılmış ve CMOS osilatörünün dönüşüm verimliliğini artırmak için transistörlerin F_{max} 'ı iyileştirilmeye çalışılmıştır. Tezin bu bölümünde yukarıdaki konular doğrultusunda osilatör devresi için analiz yöntemi önerilmiştir.

Diferansiyel yapı, devreyi ikiye bölerek analiz edilebilir ve bileşen parametreleri buna göre ayarlanabilir. Diferansiyel simetrik devrenin tam ortasına denk gelen düğümlerinde sanal topraklar vardır, bu nedenle devre ortadan ayrılabilir ve bağlantısız kalan ortadaki düğümlere toprak bağlantıları yerleştirilebilir. Küçük sinyal modeli analizi, ana diferansiyel devre ve oluşturulan yarım devre için aynı teorik sonuçları vermektedir. Yarım devre ile yapılan analiz hesaplamaları kolaylaştırmaktadır.

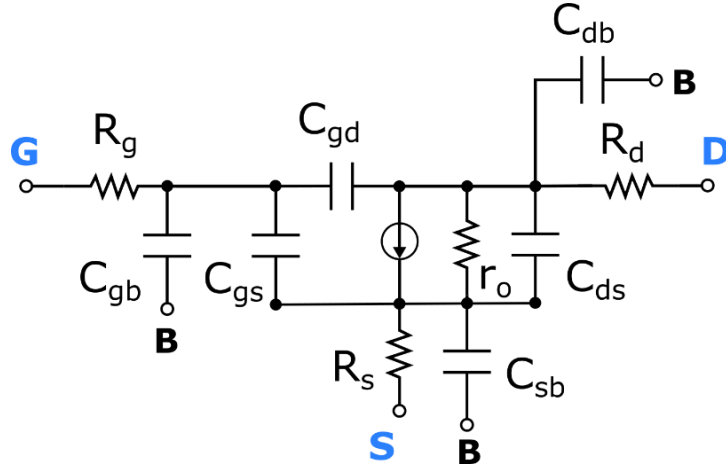


Şekil 4.7 : Diferansiyel temel osilatör devresi.

Şekil 4.7'deki diferansiyel temel osilatör devresinin yarım devresi Şekil 4.8'de görülmektedir. Kapı indüktör terminalinden bakıldığında giriş empedansını hesaplamak için Şekil 4.9'daki transistörün geliştirilmiş küçük sinyal modeli kullanılmıştır.



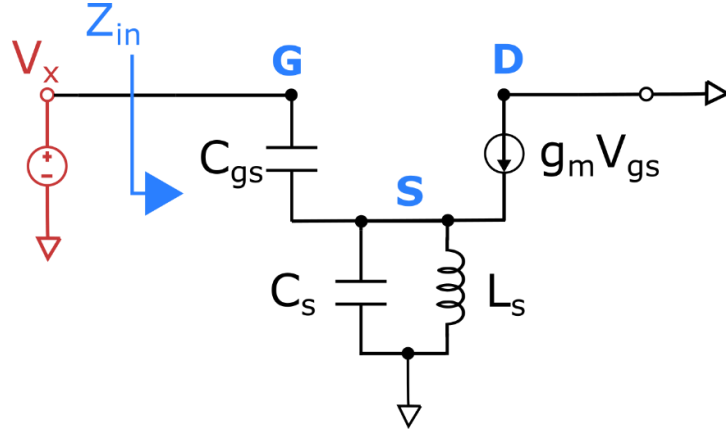
Şekil 4.8 : Diferansiyel temel osilatör devresinin yarım devresi.



Şekil 4.9 : Transistörün geliştirilmiş küçük sinyal modeli.

Bu modelde, yüksek çalışma frekanslarında transistör performansını etkileyebilecek tüm baskın parazitik bileşenler yer almaktadır. Kaynak-kapı kapasitansı, osilatör çekirdeğinin ana kapasitansıdır. Kapı-drenaj kapasitansı bir sızıntıya neden olur ve transistörlerin izolasyonunu bozar; bu nedenle, bu kapasitansın etkisi analize dahil edilmelidir. Drenaj-kaynak kapasitansı, küçük sinyal modelinde drenaj ve kaynak arasında bir miktar sızıntıya neden olan başka bir parazittir. Diğer kapasitanslar, kapıdan gövdeye, kaynaktan gövdeye ve drenajdan gövdeye de modele dahildir. Bu parazitik kapasitansların etkisi frekansla doğru orantılı olarak artar. Transistörlerin normalde parazit endüktansları da vardır; bununla birlikte, seri bağlı her terminalde çok daha yüksek indüktörler vardır, bu nedenle modelde parazitik endüktans göz ardı edilebilir.

Osilatör devresinin yarım devre analizi için küçük sinyal modeline kapı indüktörü, drenaj indüktörü, kaynak kondansatörü ve kaynak indüktörü eklenir. Kaynak indüktörü, yüksek frekanslarda yüksek empedans iken devreye DA yolu sağlayan bir iletim hattının temel bir temsilidir. Kaynak kondansatörü, osilatör çekirdeğinin bir parçasıdır; aslında, uygun negatif direnç üretimi için gereklidir. Kaynak kapasitörün etkisi temel bir devre analizi ile incelenebilir. Şekil 4.10'daki devre modeli, hesaplamaları kolaylaştırmak için yalnızca kapı-kaynak kapasitansı ve kaynak empedansını içerir.



Şekil 4.10 : Kaynak kapasitör etkisini gözlemlemek amacıyla giriş empedansını hesaplamak için basitleştirilmiş devre modeli.

Kaynak terminalinde paralel bir LC tankı vardır ve empedansı aşağıdaki gibi ifade edilir:

$$Z_s = \frac{J\omega L_s}{1 - \omega^2 L_s C_s} \quad (4.9)$$

Eşitlik (4.9)'un kaynak empedansı $\omega < 1/\sqrt{L_s C_s}$ ise endüktif, $\omega > 1/\sqrt{L_s C_s}$ ise kapasitiftir. Şekil 4.10'daki devre modelinin giriş empedansı aşağıdaki gibi hesaplanmıştır:

$$\frac{V_x}{I_x} = \frac{1}{J\omega C_{gs}} + \frac{J\omega L_s}{1 - \omega^2 L_s C_s} + \left(1 + \frac{g_m}{J\omega C_{gs}}\right) \frac{J\omega L_s}{1 - \omega^2 L_s C_s} \quad (4.10)$$

Bu giriş empedansı ifadesi, kaynak terminalindeki LC tankının rezonans frekansında sonsuzdur. $\omega < 1/\sqrt{L_s C_s}$ ise, başka bir deyişle, kaynak empedansı endüktif ise, Eşitlik (4.10)'un giriş empedansı şu şekilde tahmin edilebilir:

$$\frac{V_x}{I_x} \cong \frac{1}{J\omega C_{gs}} + 2J\omega L_s + \frac{g_m L_s}{C_{gs}} \quad (4.11)$$

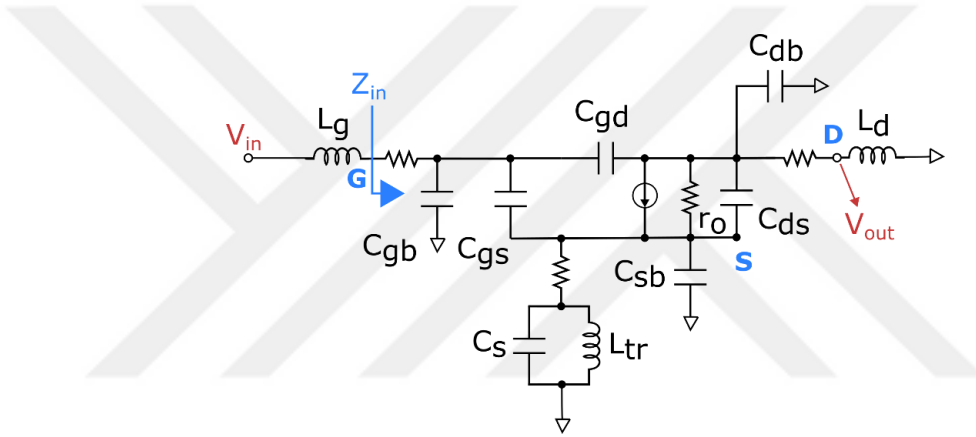
Bu şekilde giriş empedansının reel kısmı pozitifdir ve devrede salınım olmaz. Öte yandan, $\omega > 1/\sqrt{L_s C_s}$ ise, başka bir deyişle, kaynak empedansı kapasitif ise, Eşitlik (4.10)'daki giriş empedansı şu şekilde tahmin edilebilir:

$$\frac{V_x}{I_x} \cong \frac{1}{J\omega C_{gs}} + \frac{2}{J\omega C_s} - \frac{g_m}{\omega^2 C_{gs} C_s} \quad (4.12)$$

Dolayısıyla, bu senaryoda, kaynak empedansı daha kapasitiftir ve giriş empedansı, devredeki salınımı oluşturan negatif gerçek kısmı gösterir. Bu temel devre analizi,

salınım elde etmek için gerekli negatif empedansın oluşturulabilmesi için kaynak terminalinden görülen kapasitif empedans ihtiyacını açıklığa kavuşturmuştur.

Kaynak kondansatörü ayrıca iletim hattının (kaynak indüktörü) bir parçası haline gelir, bu nedenle değeri, yerleşim tasarımı ihtiyaçlarına göre kaynak indüktörünün (veya gerçek durum senaryosunda iletim hattının uzunluğunun) kombinasyonu ile ayarlanabilir. Kapı indüktörü, salınım çekirdeğinin ana indüktörüdür. Drenaj indüktörü devreye akım sağlamak için DA'da kısa devre yapar ve DA beslemesini alternatif akım (AA) sinyalinden ayırmak için empedansı frekansla artırır. Drenaj indüktörü, aktif cihazın özellikle yüksek frekanslarda sağlayabileceği salınım frekansını ve negatif direnci etkiler; ancak diğer bileşenler kadar baskın değildir. Osilatör devresinin yarım devre küçük sinyal modeli Şekil 4.11'de görülmektedir.



Şekil 4.11 : Diferansiyel temel osilatör devresini analiz etmek için geliştirilmiş devre modeli.

Osilatör yarım devresinin giriş empedansı ifadesi, kapı indüktör terminaline bir voltaj kaynağı V_x yerleştirilerek ve V_x/I_x , aşağıdaki gibi hesaplanarak elde edilir:

$$\frac{V_x}{I_x} = \frac{Z_s - \frac{g_m Z_{ds}}{j\omega C_{gs}} - (Z_{gs} + Z_s) \frac{B}{A}}{1 + \frac{Z_{ds} + Z_s}{Z_d} - \left(\frac{Z_s + Z_d}{Z_d}\right) \frac{B}{A}} \quad (4.13)$$

$$A = \frac{1}{j\omega C_{gs}} + Z_s + \frac{g_m Z_s}{j\omega C_{gs}} \quad (4.14)$$

$$B = \frac{1}{j\omega C_{gd}} + Z_d + \frac{g_m Z_d}{j\omega C_{gs}} \quad (4.15)$$

Ek olarak, drenaj terminali ile kapı indüktör terminali arasındaki voltaj kazancının analitik ifadesi, aynı modelden aşağıdaki gibi hesaplanabilir:

$$\frac{V_o}{V_i} = \frac{JwC_{gd} Z_d - g_m Z_d M + \frac{(1-M)Z_d}{Z_{ds}}}{1 + JwC_{gd} Z_d + \frac{Z_d}{Z_{ds}}} \quad (4.16)$$

$$M = \frac{1 + JwC_{gs} Z_s + \frac{Z_s}{r_o}}{1 + JwC_{gs} Z_s + g_m Z_s + JwC_{gs} Z_s + \frac{Z_s}{r_o}} \quad (4.17)$$

$$\frac{V_o}{V_x} = \frac{V_o}{V_i} \frac{V_i}{V_x} = \frac{JwC_{gd} Z_d - g_m Z_d M + \frac{(1-M)Z_d}{Z_{ds}}}{1 + JwC_{gd} Z_d + \frac{Z_d}{Z_{ds}}} \frac{1}{1 + JwC_{gb} Z_g} \quad (4.18)$$

$$Z_d = (R_d + jwL_d) \parallel \frac{1}{jwC_{db}} \quad (4.19)$$

$$Z_s = \left(R_s + \frac{jwL_s}{1 - w^2 L_s C_s} \right) \parallel \frac{1}{jwC_{sb}} \quad (4.20)$$

$$Z_g = (R_g + jwL_g) \quad (4.21)$$

$$Z_{ds} = \frac{r_o}{1 - w^2 r_o C_{ds}} \quad (4.22)$$

$$Z_{gs} = \frac{1}{jwC_{gs}} \quad (4.23)$$

Şekil 4.11'deki baskın parazitik bileşenlere sahip küçük sinyal devresi modeli, Virtuoso'daki simülasyonlarla doğrulandığı için osilatör devresinin analizinde kullanılabilir kadar doğrudur; bununla birlikte, Z_{in} ve voltaj kazancının bu analitik ifadeleri, bileşenlerin etkisini gözlemlemek için oldukça karmaşıktır. Bu ifadeleri sadeleştirmek için Şekil 4.11'deki devre modelinde bazı bileşenler göz ardı edilerek daha uygun ifadeler elde edilebilir. MOSFET'in parazitik drenaj-kaynak kapasitansı ve çıkış direnci olmadan oluşturulan Şekil 4.12'deki osilatör devre modeli, aşağıdaki gibi daha az karmaşık analitik ifadeler elde etmek için kullanılmıştır:

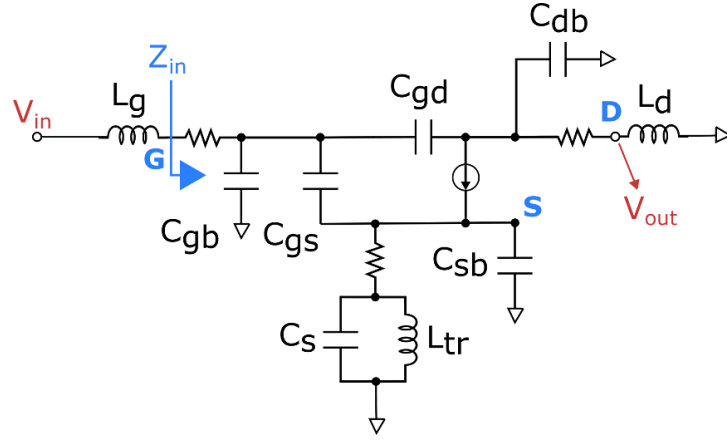
$$Z_{in} = \frac{V_x}{I_x} = \frac{AB}{A+B} + \frac{g_m Z_d B}{JwC_{gs} (A+B)} - \frac{g_m Z_d}{JwC_{gs}} \quad (4.24)$$

Ek olarak, Şekil 4.12'deki küçük sinyal modeli devresinin drenaj terminali ile kapı indüktör terminali arasındaki voltaj kazancının analitik ifadesi aşağıdaki gibi hesaplanabilir:

$$\frac{V_o}{V_i} = \frac{JwC_{gd} Z_d - g_m Z_d (M-1)}{1 + JwC_{gd} Z_d} \quad (4.25)$$

$$M = \frac{JwC_{gs} Z_s + g_m Z_s}{1 + JwC_{gs} Z_s + g_m Z_s} \quad (4.26)$$

$$\frac{V_o}{V_x} = \frac{V_o}{V_i} \frac{V_i}{V_x} = \frac{JwC_{gd} Z_d - g_m Z_d (M-1)}{1 + JwC_{gd} Z_d} \frac{1}{1 + JwC_{gb} Z_g} \quad (4.27)$$

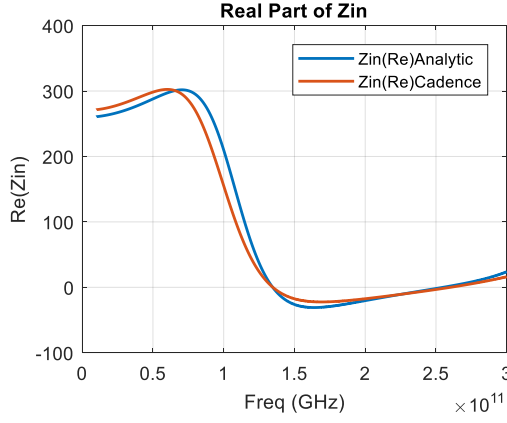


Şekil 4.12 : Diferansiyel temel osilatör devresini analiz etmek için C_{ds} ve r_o içermeyen geliştirilmiş devre modeli.

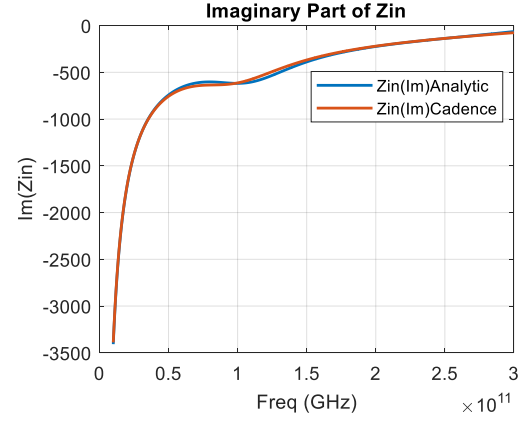
Eşitlik (4. 13)'teki giriş empedansı ifadesi, osilatör devresinin gerçek ve sanal kısımlarını gözlemlemek için kullanılmıştır. Bu denklemler osilatör devresindeki tüm bileşenlerden oluşur; böylece, bileşenlerin bağımlılıkları ile gerçek kısımdan negatif direnç ve sanal kısımdan salınım frekansı çıkarılabilir.

Giriş empedansı analizinin ilk fazında optimize edilmemiş kayıpsız bileşenler kullanılmaktadır. Şekil 4.8'in yarım devresinde, drenaj indüktörü 65 pH, kaynak kapasitansı 3.6 fF, kaynak indüktörü 300 pH (salınım frekansında yüksek empedansın bir temsilidir) olarak hesaplama yapılmıştır. Bu konfigürasyonla 250 GHz'de salınım elde etmek için analize göre 80 pH kapı indüktörü gereklidir. Bu konfigürasyon için giriş empedansının frekansa karşı gerçek kısmı ve sanal kısmı Şekil 4.13'da görülebilir. Osilatörün aynı yarım devresi, kayıpsız bileşenlerle giriş empedansı simülasyonu için Cadence Virtuoso'da da oluşturulmuştur. Virtuoso'dan alınan giriş empedans simülasyonunun sonuçları Şekil 4.13'daki analitik hesaplama ile karşılaştırılmıştır.

Drenajın kaynağa olan kapasitansı ve çıkış direncinin analizin doğruluğuna etkisini gözlemlemek için Şekil 4.12'deki basitleştirilmiş model, Şekil 4.14'de gösterilen Virtuoso simülasyonu ile de karşılaştırılmıştır. Bileşen değerleri her iki devre modeli için de aynıdır. Karşılaştırma, kapıdan kaynağa kapasitans ve çıkış direnci ile Şekil 4.13'da birbirine paralel sonuçlar göstermektedir.

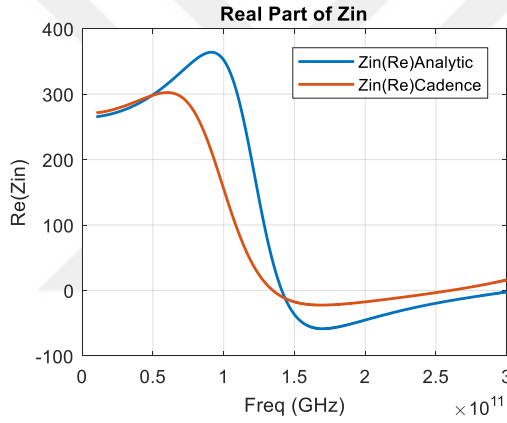


(a)

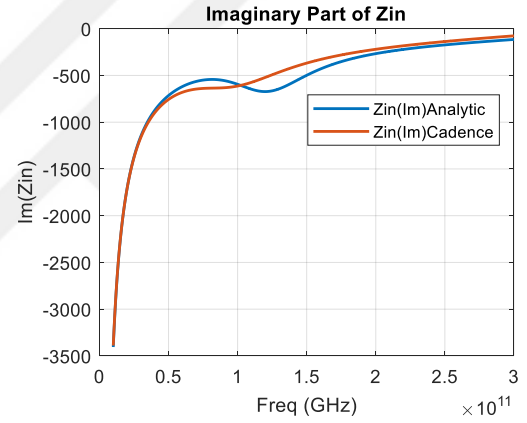


(b)

Şekil 4.13 : Şekil 4.11'deki devre için giriş empedansının benzetim ve analitik hesaplama arasındaki karşılaştırma grafikleri. (a), gerçek kısım. (b), hayali kısım.



(a)



(b)

Şekil 4.14 : Şekil 4.12'deki devre için giriş empedansının benzetim ve analitik hesaplama arasındaki karşılaştırma grafikleri. (a), gerçek kısım. (b), hayali kısım.

Şekil 4.14'deki karşılaştırma sonuçlarından da görülebileceği gibi, Şekil 4.12'deki sadeleştirilmiş model, Şekil 4.11'deki devre modeli kadar doğru değildir; ancak, daha kolay analiz ile ilk yaklaşımlar için kullanılabilir.

5. 22-nm FDSOI İLE GELİŞTİRİLEN ALT-TERAHERTZ TEMEL OSİLATÖR ÇALIŞMASI

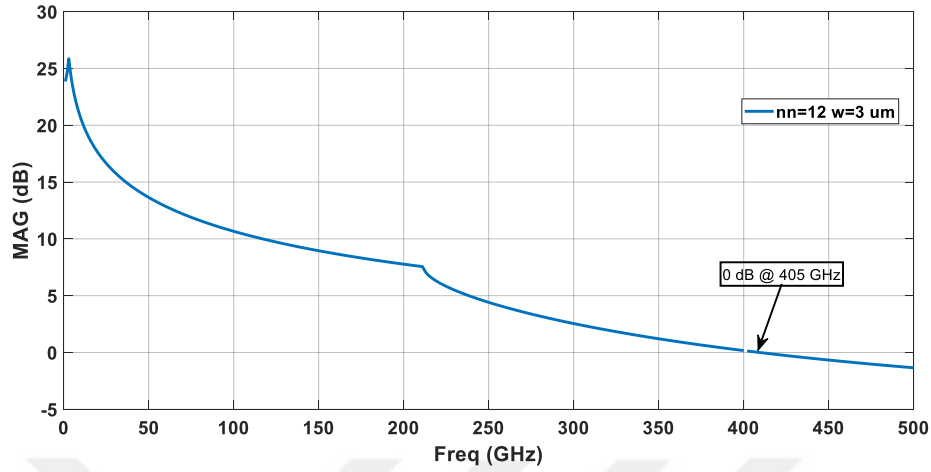
5.1 Giriş

Bu bölümde 300 GHz üzerindeki THz altı sinyal kaynağı 22 nm FDSOI teknolojisinde çalışılmış ve ön tasarımı yapılmıştır. 22 nm FDSOI'nin F_{max} 'ı 400 GHz'in üzerine çıkabilir, bu nedenle 300 GHz'in üzerinde sinyal kaynağını CMOS'tan daha iyi tasarlamak için iyi bir fırsat sağlamaktadır. Önceki bölümde incelenen Şekil 4.7'teki diferansiyel temel devre tasarımı, 22 nm FDSOI'de iki alt-THz sinyal kaynağı geliştirmek için kullanılmıştır. Aynı osilatör devre topolojisi ile osilatör devrelerinden biri yaklaşık 300 GHz'de diğeri ise 350 GHz'de çalışmaktadır. Bu bölümdeki temel amaç, entegre devrelerdeki THz altı sinyal kaynakları için FDSOI teknolojisi yeteneklerini incelemek ve bu gelişmiş teknolojiye ön tasarımları yapılmış 300 GHz'in üzerinde THz altı sinyal kaynakları elde etmektir. Osilatör devreleri, üreticiden sağlanan STK'daki bileşen modelleri ile oluşturulmuştur. Bu modeller, eğri uydurma yöntemi ile ölçülen verilere göre üretici firma tarafından oluşturulmuştur. Tüm simülasyonlar, Cadence Virtuoso'da STK bileşenleri kullanılarak gerçekleştirilmiştir. Osilatör devrelerindeki farklılıklar, indüktörler ve transistörlerin kaynak terminallerindeki iletim hatlarının uzunluğu olmaktadır. Bu iki devrenin, 22 nm FDSOI kütüphanesindeki STK modelleri kullanılarak temel olarak yerleşim çalışmaları olmadan THz alt sinyalleri elde etmek için ön tasarım çalışmaları ve iki farklı çalışma frekansındaki osilatör devreleri için temel simülasyonları yapılmıştır.

5.2 Transistör Boyutu Seçimi

STK'daki transistör modelleri incelenmiş ve bu cihazların F_{max} 'ını belirlemek için bazı simülasyonlar yapılmıştır. Kapı parmaklarının sayısı, her parmağın genişliği ve cihazın toplam genişliği, aktif cihazın F_{max} 'ını ve etkin çalışma aralığını doğrudan etkileyen, transistörün baskın parametreleridir. Aktif cihazdan mümkün olan en yüksek frekansı elde etme doğrultusunda her iki osilatör devresi için de optimum cihaz 3 μm toplam genişlikte ve 12 kapı parmağı olacak şekilde seçilmiştir.

22 nm FDSOI teknolojisinin F_{max} 'ı, Şekil 5.1'de simülasyonlarda görüldüğü gibi 400 GHz'nin üzerinde gözlemlenmiştir.



Şekil 5.1 : 22 nm FDSOI'de geliştirilen osilatörde kullanılan transistörün maksimum kullanılabilir kazanç grafiği.

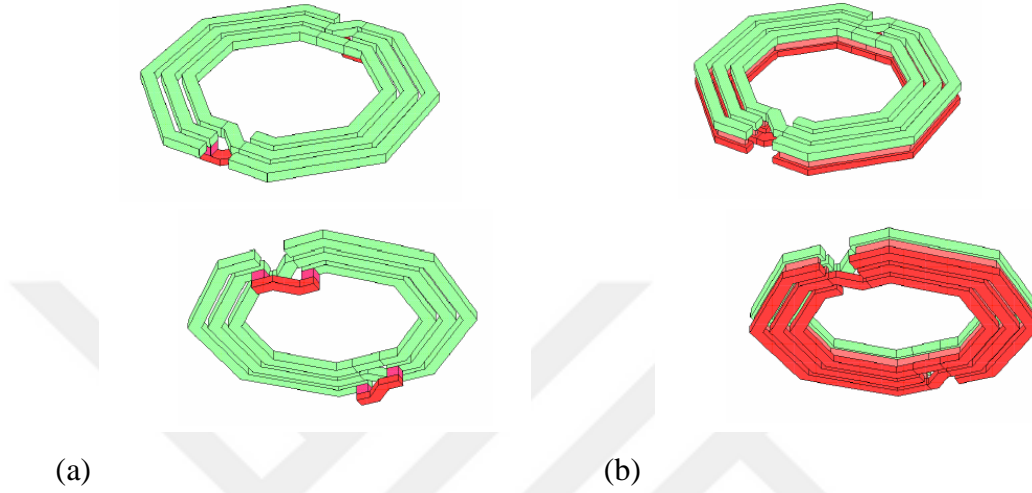
5.3 Pasif Elemanlar

Üreticinin STK'sında pasif bileşenler için çeşitli modeller bulunmaktadır. STK içerisinde ayrıca indüktör ve kondansatör bulma araçları da bulunmakta olup, kullanıcının sağladığı pasif bileşenlerin istenilen değerlerine göre uygun pasif cihaz oluşturulmaktadır. Bu bölümde, STK'daki farklı pasif bileşenlerin pasif bileşen seçimi ve özellikleri tartışılmaktadır. Transistörlerin kaynak terminallerinde iletim hatları bulunmaktadır, bu nedenle STK'dan olası seçenekler göz önünde bulundurularak bu bölümde de tartışılmaktadır.

5.3.1 Bobin

Diferansiyel osilatör tasarımının yarım devresinde iki indüktör vardır. STK'dan temin edilebilen indüktör seçenekleri, tek katmanlı simetrik spiral indüktör (symind), çok katmanlı simetrik spiral indüktör (symindp) ve merkez kılavuzlu tek katmanlı simetrik spiral indüktör (symct) olmaktadır. Bu indüktör yapıları aşağıdaki Şekil 5.2'de görülebilir. Symct indüktör modeli symind indüktör modeli ile aynı olup, symind modelinin indüktörün simetrik ortasında merkez tapa olanı şeklinde düşünülebilir. Symindp indüktörün avantajı, indüktörün paralel yapısının seri direnci azaltarak yüksek kalite faktörü sağlamasıdır.

Kendinden rezonans frekansı, bu indüktör modelinin kritik bir parçasıdır, bu nedenle bu tip indüktör modeli kullanılırken dikkatlice düşünülmelidir. Symind modeli, daha küçük alan işgali ile daha yüksek endüktans değerleri sağlar; ancak, daha düşük kalite faktörlerine sahiptir. Kendinden rezonans frekansı symindp modelinden daha yüksektir.



Şekil 5.2 : 22 nm FDSOI STK'da indüktör yapıları. (a), symind modeli. (b), symindp modeli [72].

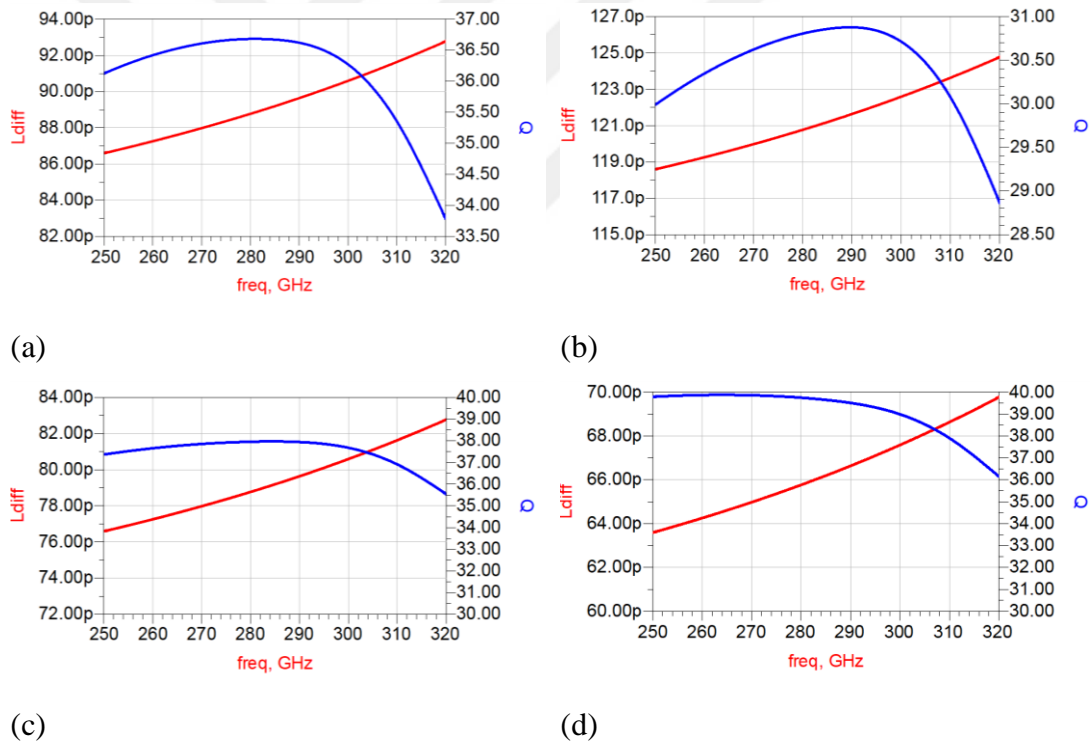
Symct indüktör modeli, diferansiyel çalışma için çok uygun bir indüktör tipi olan merkez beslemeli ve simetriktir. Ayrıca osilatör tasarımında iki symind tipi indüktör kullanımına kıyasla daha iyi kalite faktörleri sağlar. Bu nedenle Şekil 4.7'teki diferansiyel osilatör devresinde daha yüksek kalite faktörleri için symct indüktör modeli kullanılmıştır (Çizelge 5.1). Çalışma frekanslarında endüktans değerleri büyük değildir, bu nedenle alan işgali bu çalışma için bir sorun değildir.

Çizelge 5.1 : 22 nm FDSOI'de her iki osilatör için simüle edilmiş indüktör parametreleri.

	İndüktans (pH)	Kalite faktörü	Çap (μm)
350 GHz Çalışma için Drenaj İndüktörü	80	38	36.6
350 GHz Çalışma için Kapı İndüktörü	68	39	33.8
300GHz Çalışma için Drenaj İndüktörü	90	36	38.6
300GHz Çalışması için Kapı İndüktörü	125	31	44.2

350 GHz çalışma için kullanılan endüktans değerleri, drenaj indüktörü için yaklaşık 80 pH ve kapı indüktörü için 68 pH olarak bulunmuştur. Drenaj ve kapı indüktörleri için kalite faktörleri sırasıyla 38 ve 39'dur. Benzer şekilde, 300 GHz çalışması için 90 pH drenaj indüktörü ve 125 pH kapı indüktörü kullanılmıştır. Drenaj ve kapı indüktörleri için kalite faktörleri sırasıyla 36 ve 31'dir. 350 GHz osilatör devresi için drenaj ve kapı indüktörlerinin çapı sırasıyla 36.6 μm ve 33.8 μm , 300 GHz osilatör çalışması için sırasıyla 38.6 μm ve 44.2 μm 'dir. Tüm indüktörlerin genişliği 6 μm 'dir ve hepsinin sadece bir dönüşü vardır.

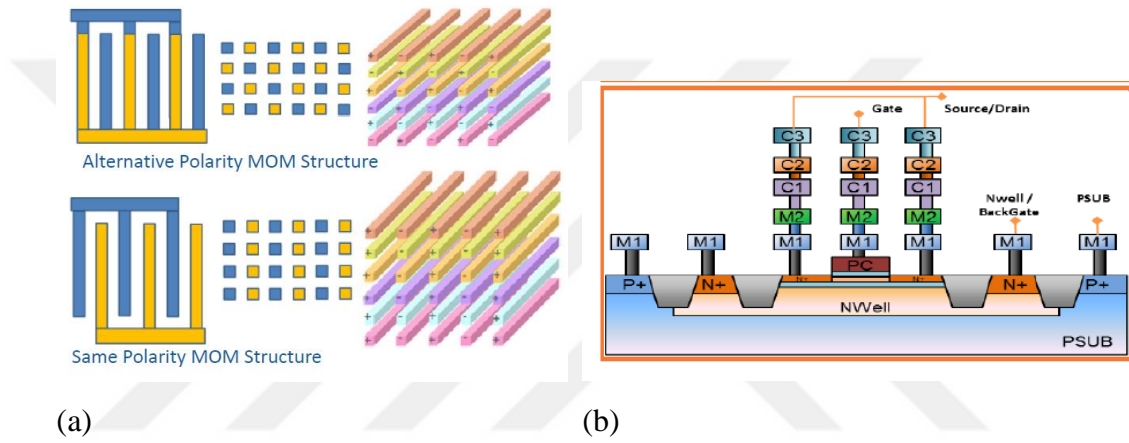
Simülasyonlar için ölçülen verilerin eğri uydurma yöntemi ile oluşturulan temel matematiksel modelleri kullanılmaktadır; ek olarak, 22 nm FDSOI yığın yapısı kullanılarak yapılan EM simülasyonları, Virtuoso'daki entegre Sonnet yazılımı ile gerçekleştirilmiştir. İndüktörlerin EM simülasyonları Şekil 5.3'te gösterilmektedir.



Şekil 5.3 : 22 nm FDSOI'de geliştirilen osilatör devreleri için indüktörlerin EM simülasyonları. (a), 300 GHz osilatör drenaj bobini. (b), 300 GHz osilatör kapı bobini. (c), 350 GHz osilatör drenaj bobini. (d), 350 GHz osilatör kapı bobini.

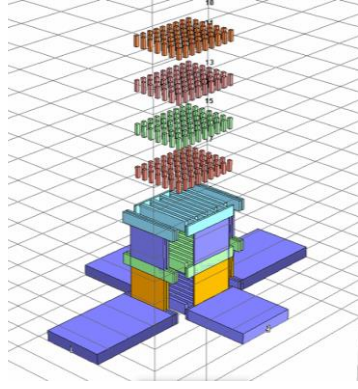
5.3.2 Kapasitör

STK'da birkaç kapasitör yapısı vardır. Bu çalışma için en uygun olanı Şekil 5.4(a)'da gösterildiği gibi metal-oksit-metal (MOM) kondansatörüdür. STK'da ayrıca MOS kondansatör bulunmaktadır; ancak 300 GHz'in üzerindeki çalışma frekanslarında kullanılması uygun değildir. MOM kapasitör, kapasitansı artırmak için çok katmanlı olarak uygulanabilir ve metal iletkenler arasındaki dielektrik temel kapasitör teorisine dayalı kapasitansı oluşturur. Öte yandan, STK'da ncapsi olarak adlandırılan MOS kondansatör, kapı ile NWell arasında gerekli kapasitansı yaratır. Kaynak ve drenaj terminalleri Şekil 5.4(b)'de görüldüğü gibi kısa devre yapılmaktadır.



Şekil 5.4 : 22 nm FDSOI STK'da kapasitör model yapıları [72]. (a), MOM kapasitör yapısı. (b), MOS kapasitör yapısı (ncapsi).

350 GHz'de çalışan osilatör devresinde gerekli olan kapasitans değeri yaklaşık 2 fF'dir ki bu çok küçük bir kapasitansdır; bu nedenle, üretim için pek uygun değildir. Aslında kaynak terminallerindeki iletim hatları ile kaynak kondansatörü olmadan devre optimize edilebilir; bu nedenle, benzer sonuçları karşılaştırmak ve gözlemlemek için 300 GHz çalışmasında kaynak kapasitörlü ve kaynak kapasitörsüz aynı devrenin iki örneği vardır. Yine de, kaynak kapasitörün hassas etkisini kullanmak için 350 GHz osilatör devresinde STK kütüphanesinden bir MOM kondansatör kullanılmıştır. Benzer sonuçlar, 300 GHz'de çalışan devre gibi kaynak kapasitörü olmadan da elde edilebilir; bununla birlikte, ayrı kaynak kondansatörü, özellikle yüksek frekansta ince ayar yapmak ve osilatör performansını optimize etmek için kullanışlıdır. 3 katmanlı 1.8 fF MOM kondansatörün EM simülasyon yapısı ve simülasyonlarının sonuçları Şekil 5.5'de gösterilmiştir.



(a)

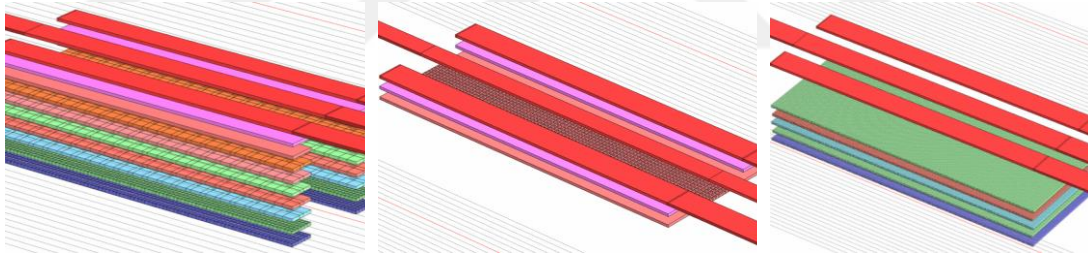


(b)

Şekil 5.5 : 22-nm FDSOI'de osilatör devresindeki 1.8-fF MOM kapasitör. (a), Sonnet'ten alınan 3B yapı. (b), EM simülasyon sonuçları. Mavi, kapasitans. Kırmızı, kalite faktörü.

1.1.1 İletim hattı

STK kütüphanesinde üç çeşit iletim hattı bulunmaktadır. Ana yapı eş düzlemlı dalga kılavuzu tabanlıdır. Eş düzlemlı dalga kılavuzları, toprak kalkanlı, kalkansız ve yavaş dalga iletim hattı olarak da bilinen yüzer topraklı olarak ayrılır (Şekil 5.6). Çeşitli uygulamalarda kullanılmak üzere farklı özelliklere sahiptirler.



(a)

(b)

(c)

Şekil 5.6 : 22 nm FDSOI STK'da iletim hattı yapıları. (a), eş düzlemlı dalga kılavuzu. (b), toprak kalkanlı eş düzlemlı dalga kılavuzu. (c), yavaş dalga iletim hattı.

300 GHz çalışma için 50 ohm'luk aynı uzunluk ve karakteristik empedansa sahip bu üç farklı eş düzlemlı dalga kılavuzu ile iletim hattı parametrelerini gösteren bir karşılaştırma Çizelge 5.2'de sunulmuştur.

Bu osilatör tasarımlarında, daha iyi zayıflama değerlerine sahip olduğu için toprak kalkanlı eş düzlemlı dalga kılavuzu yapısı (TEDD) kullanılmıştır. Bu yapı için toprak referans düzlemi M1 metal tabakasında ayarlanmıştır.

Çizelge 5.2 : Farklı iletim hatları parametrelerinin karşılaştırma tablosu.

	EDD	TEDD (toprak kalkanlı)	Yavaş Dalga (Yüzer topraklı)
Uzunluk (μm)	125	125	125
Hat Genişliği (μm)	10	7.16	10
Boşluk (μm)	7.5	10	5.75
Karakteristik empedans (Z_0)	49.2-0.145j	49.99-0.495j	49.5-0.35j
Zayıflatma Katsayısı (α^*L)	0.0099	0.0088	0.00934
Faz Sabiti (β^*L)	0.5730	0.5676	0.5872

1.87 fF kaynak kapasitörlü 300 GHz osilatörde 125 μm iletim hattı kullanılmaktadır. Kaynak kapasitörü olmayan diğer osilatör devresi 140 μm uzunluğunda iletim hatlarına sahiptir, böylece kaynak kapasitörü olmayan devre 300 GHz'de kaynak kapasitörü olan devreye çok benzer sonuçlar elde etmektedir.

5.4 Benzetim Sonuçları

Şekil 4.7'teki diferansiyel osilatör devresi, 22 nm FDSOI'da 300 GHz ve 350 GHz çalışma frekansları elde etmek için farklı bileşen değerlerine sahip iki osilatör devresi oluşturmak için kullanılmıştır. Devrelerin bileşenleri için sadece STK modelleri kullanılmıştır. 300 GHz osilatör devresi için bölüm 5.3.2'de (kondansatör bölümü) anlatıldığı gibi kaynak kondansatörlü ve kaynak kondansatörsüz olmak üzere iki versiyonu bulunmaktadır. Osilatörlerin performansını gözlemlemek için Virtuoso'da DA ve geçici simülasyonlar gerçekleştirilmiştir. Osilatörler için simülasyon sonuçları Çizelge 5.3'te verilmiştir.

DA simülasyonlarından, her transistörün 0,62 mA DA akım çektiği görülmektedir, bu nedenle 800 mV drenaj kaynağından toplam 1,24 mA DA akım çekmektedir. Kapı indüktörlerinin ortasından 500 mV DA kaynağı ile transistörlerin kapı terminalleri beslenmektedir. Kapı kaynağından gelen güç tüketimi, piko-watt aralığında olduğu için göz ardı edilebilir. Sonuçlar, daha yüksek salınım frekansında, beklendiği gibi DA-RF verimliliğinin azalacağını göstermektedir. Her osilatör 1 mW güç tüketmektedir.

350 GHz osilatör, 200 mV tepeden tepeye osilasyon sinyali sağlar; öte yandan, 300 GHz osilatör 600 mV tepeden tepeye voltaj sağlamaktadır. Osilatörün faz gürültüsü de beklendiği gibi 300 GHz çalışma için daha iyi sonuçlanmıştır.

Çizelge 5.3 : 22 nm FDSOI'de tasarlanan osilatör devrelerinin simülasyon sonuçları.

	350-GHz Osilatör	300-GHz Osilatör Kaynak Kapasitörlü	300-GHz Osilatör Kaynak Kapasitörsüz
Salınım Frekansı (GHz)	349.7	303.2	299.9
Salınım Tepeden Tepeye Gerilim (mV)	200	600	600
Faz Gürültüsü @ 1M (dBc/Hz)	-63.13	-79.76	-79
Faz Gürültüsü @ 10M (dBc/Hz)	-83.67	-99.81	-99.3
DA Güç Tüketimi (mW)	1	1	1

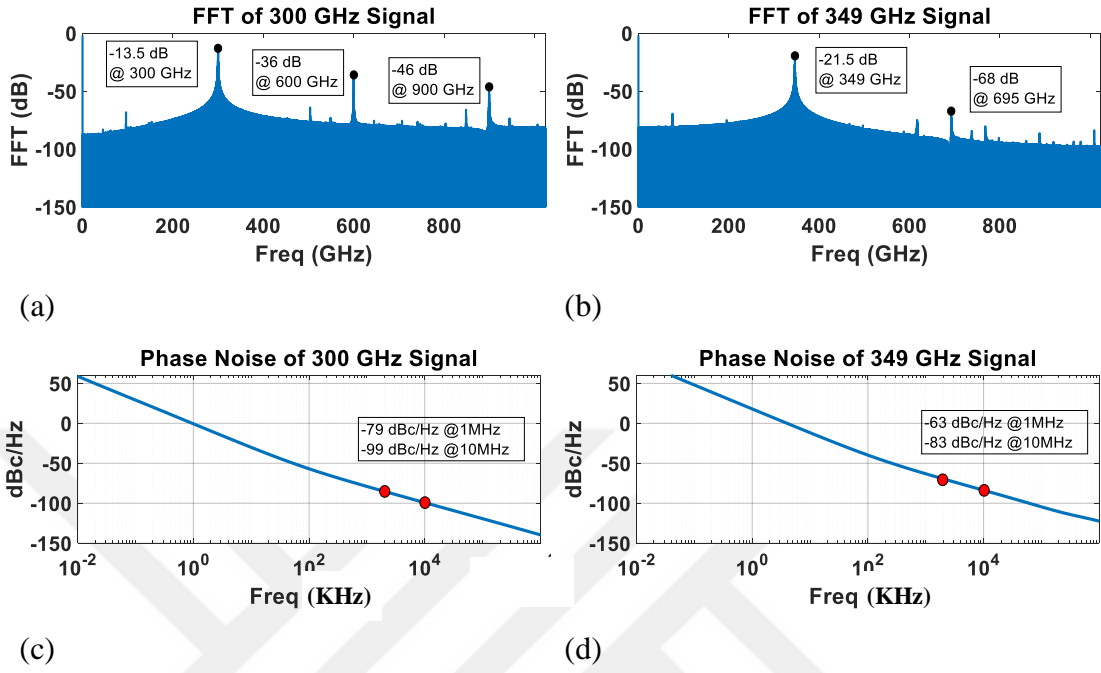
Simülasyon sonuçlarına göre, uygun iletim hattı uzunluğunu ayarlayarak kaynak kondansatörü tolere edilebilir; ancak, kayıp ve hassas ayar açısından daha iyi sonuçlar verdiği için, kaynak kondansatörü bu osilatör devresinde tercih edilen bir bileşendir.

Hızlı Fourier Dönüşümü (HFD) ve her osilatörün drenaj terminallerindeki sinyalin faz gürültüsü Şekil 5.7'de görülmektedir. En iyi sonuçlar, kaynak kapasitörlü 303 GHz osilatör devresi ile elde edilmektedir. Öte yandan, 350 GHz sinyal kaynağı DA-RF verimliliğinden feragat ederek 300 GHz'in üzerinde THz altı sinyal sağlamaktadır.

5.5 Sonuç

Simülasyon sonuçları, 300 GHz üzerindeki sinyal üretiminin, THz altı sinyal kaynakları için olası bir aday olan FDSOI teknolojisi ile yapılabileceğini göstermektedir. Simülasyon sonuçlarına göre, kütüphaneden STK modelleri kullanılarak daha önce bahsedilen diferansiyel devre ile 350 GHz salınım sinyali elde edilmiştir. Bu sonuçlar, sinyal kaynağının 300 GHz bandındaki etkinliğini göstermektedir. Transistörlerin özel serim tasarımı ve 22 nm FDSOI'de hızlı transistör modelleri kullanılarak daha fazla iyileştirme yapılabilir. Ön simülasyon sonuçlarına göre, 300 GHz aralığında, 22 nm FDSOI'deki sinyal kaynağının çıkış gücünün, aynı öngerilim noktalarında toplu CMOS teknolojisinde tasarlanan muadillerinden daha

yüksek olması beklenmektedir; bu nedenle, 22 nm FDSOI'de gerçekleştirilen bu çalışma ile FDSOI teknolojisinin 300 GHz'in üzerinde THz altı entegre devre sinyal kaynakları tasarlamının önünü açan taviz verici sonuçlar çıkartması beklenmektedir.



Şekil 5.7 : 22 nm FDSOI'de osilatör devrelerinin simülasyon sonuçları. (a), 300 GHz osilatör sinyalinin HFD'si. (b), 349 GHz osilatör sinyalinin HFD'si. (c), 300 GHz osilatör sinyalinin faz gürültüsü. (d), 349 GHz osilatör sinyalinin faz gürültüsü.



6. 65-nm CMOS İLE 190 GHz TEMEL OSİLATÖR TASARIMI

6.1 Giriş

Tezin bu bölümünde, temel amaçlar doğrultusunda 65 nm CMOS'ta temel osilatör devresi geliştirilmiştir. 65 nm CMOS'ta F_{max} 'a yakın çalışan devrenin temel tasarımı bu çalışmayı çok daha karmaşık hale getirmektedir; bununla birlikte, osilatörün performansı, THz altı frekanslarda temel diferansiyel tasarım ile geliştirilmiştir. 65 nm CMOS'taki bu sinyal kaynağı, sonraki bölümde transistörlerin gövde bağlantısının incelenerek osilatörün performansını iyileştirmek için kullanılacaktır.

Bölüm 4'te bahsedilen temel osilatör devresi ile, en yüksek frekansta maksimum mevcut kazancı sağlayan optimum sonuçların elde edilmesi için simülasyonlarda transistör boyutu incelenmiştir. Diferansiyel osilatör devresi, 65 nm CMOS'ta optimum transistör boyutu seçeneği ile bölüm 5'te ele alındığı gibi yeniden analiz edilmiştir. Tüm pasif bileşenler, simülasyonlar ile hedef frekansta optimum kalite faktörü amacı ile hesaplanmış ve tasarlanmıştır. Daha sonra iletim hattı dikkate alınarak tüm devrenin yerleşim tasarımı ve osilatör performansını netleştirmek için tüm parazitikler dahil temel osilatör devresinin simülasyonları yapılmıştır.

6.2 Transistör Seçimi

Optimum transistör boyutunu seçmek ve transistörün F_{max} 'ını düşüren parazitik bileşenleri minimal hale getirecek şekilde serim tasarımı yapmak için, transistörün karakteristik parametreleri, transistör boyutunun etkisi dikkate alınarak incelenmelidir. Transistörün uzunluğu 60 nm'lik teknoloji standardı olarak alınmıştır. Transistörün genişliği ve parmak sayısı, optimum transistör performansı için çalışılması gereken iki önemli parametredir. Eşitlik (6. 1)'deki transkondüktans (iletkenlik), transistörün boyutu büyüdükçe artar; dolayısıyla çıkış gücü de artar. Öte yandan, artan boyut ile F_{max} azalır.

$$g_m = \frac{\mu_0 C_{ox}}{CET} \frac{W_f}{L} n n (V_{GS} - V_{TH})(1 + \lambda V_{DS}) \quad (6. 1)$$

Transistör genişliğine bağlı parazitik kapasitanslar, cihazın yüksek frekanslarda performansını düşürür. Doyma bölgesinde cihazın karakteristiğini etkileyen iki temel kapasitans vardır; kapıdan kaynağa kapasitans, bu çalışma için salınım çekirdeğini oluşturan ve en etkili olandır. Aşağıda görüldüğü gibi transistörün boyutu, kapıdan gövdeye örtüşme kapasitansı (C_{gbo}), kapıdan kaynağa örtüşme kapasitansı (C_{gso}) ve kapı parmaklarının sayısı (nn) ile doğru orantılıdır:

$$C_{gs} = \frac{2}{3} C_{ox}(L - 2L_{OV})W + C_{gso} W + nnC_{gbo}L \quad (6.2)$$

Transistörün diğer yapısal kapasitansı kapı ve drenaj arasında meydana gelir ve doyma bölgesinde transistörün genişliği ve kapıdan drenaja örtüşme kapasitansı (C_{gdo}) ile doğru orantılıdır:

$$C_{gd} = C_{gdo}W \quad (6.3)$$

$$C_{gso} = C_{gdo} = C_{ox}L_{OV} + C_f \quad (6.4)$$

Eşitlik (6.4)'deki C_f saçak kapasitansını temsil etmektedir. Tüm bu denklemler ile transistörün kesim frekansı aşağıdaki denklemden hesaplanabilir:

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd} + C_{gdo})(R_s + R_d)g_m + (C_{gs} + C_{gd})(R_s + R_d)g_o} \quad (6.5)$$

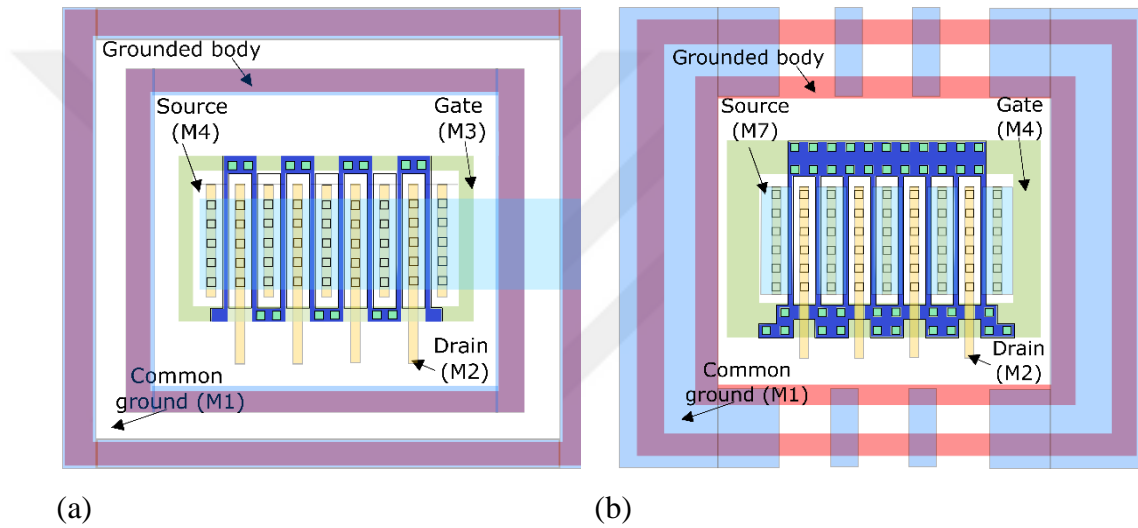
Benzer şekilde, F_{max} aşağıdaki denklemle hesaplanabilir:

$$F_{max} = \frac{f_T}{2\sqrt{(R_i + R_s + R_g)g_o + 2\pi f_T R_g C_{gd}}} \quad (6.6)$$

Denklemden görülebileceği gibi, F_{max} kesinlikle terminal dirençlerine bağlıdır. Genel olarak, kapı terminali direnci, kaynak ve drenaj terminallerinin direncinden çok daha büyüktür, bu nedenle ilk denemede kaynak direnci (R_s) ve drenaj direnci (R_d) ihmal edilebilir. Kapı parmaklarının sayısı artırılarak kapı direnci azaltılabilir ve transistörün geliştirilmiş yerleşim tasarımı ile daha fazla iyileştirme elde edilebilir. Kapı parmaklarının her iki tarafta temas ettiği kapı direnci, aşağıdaki denklemde olduğu gibi ifade edilebilir:

$$R_g = \frac{\left(\frac{R_{CON}}{N_{CON}} + \frac{R_{SHG}}{L} \left(W_{ext} + \frac{W_f}{6}\right)\right)}{2nn} \quad (6.7)$$

Bu çalışma doğrultusunda, yukarıdaki tüm argümanlar dikkate alınarak optimum transistör boyutu, her biri 1.2 μm genişliğinde 8 kapı parmağı ile toplam 9.6 μm genişlik olarak seçilmiştir. Kapı direncini azaltmak için çift kapı kontağı yapılmış ve kapı kontağı sayısı mümkün olduğunca artırılmıştır. Parazit etkileri azaltmak için düzen iyileştirmeleri yapılmış ve transistörlerin yerleşimi aynı temel hedeflerle geliştirilmiştir. Drenaj-kaynak kapasitansını azaltmak için, drenaj metalinin (M2) üzerindeki kaynak metal (M3) yarıklıdır ve M7'ye kadar bu şekilde istiflenmiştir. Transistörün terminalleri sırasıyla drenaj, kapı ve kaynak için M2, M3 ve M7 metal katmanlarında yapılmıştır. Varsayılan STK modelinin yerleşimi ve bu çalışmanın geliştirilmiş yerleşimi Şekil 6.1'de gösterilmektedir.

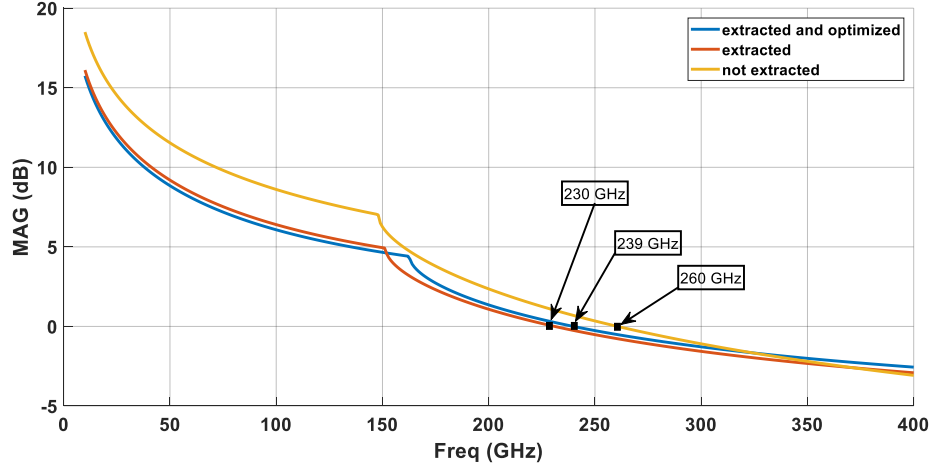


Şekil 6.1 : 65 nm CMOS osilatör devresindeki transistörün yerleşim yapıları. (a), STK'nın standart düzeni. (b), alt-THz osilatör devresi için geliştirilmiş yerleşim tasarımı.

Transistörün düzen iyileştirmeleriyle, maksimum kullanılabilir kazanç 230 GHz'den 239 GHz'e 9 GHz artırılmıştır. Bu çalışma için varsayılan STK model düzeni ile geliştirilmiş düzen tasarımı arasındaki maksimum kullanılabilir kazancın karşılaştırması Şekil 6.2'de görülebilir [73].

6.3 Pasif Elemanların Tasarımları

Pasif elemanlar, her türlü elektronik devre tasarımında temel bileşenlerdir. Bu tezdeki osilatör devresi çalışması, bu çalışmanın amacı olarak belirtildiği gibi THz altı frekanslarda sinyal üretimini sağlamak için mümkün olan minimum kayıplara sahip bir osilasyon çekirdeği gerektirir.



Şekil 6.2 : 65 nm CMOS osilatör devresinde kullanılan transistörün maksimum kullanılabilir kazanç karşılaştırması. Serim parazitikleri dahil olmadan STK'nın transistörü (sarı). Serim parazitikleri dahil edilmiş STK'nın transistörü (kırmızı). Parazitikler dahil geliştirilmiş serim çalışması yapılan transistör (mavi).

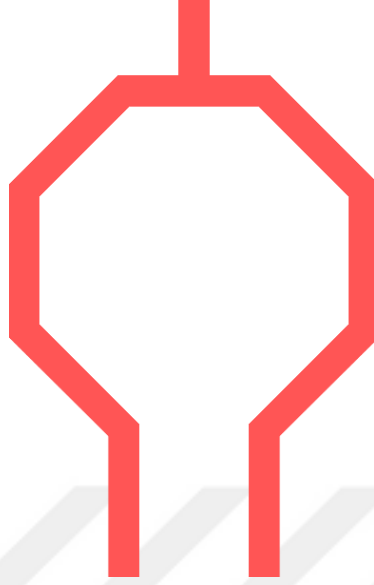
Entegre devre tasarımında, bazı sınırlamaları olan pasif bileşenler için özel tasarımlar vardır. En yüksek kayıplar, entegre devrelerdeki indüktörlerden gelir; kapasitörler ise uygulamaya göre çeşitli tasarım seçenekleri ile çok daha iyi sonuçlar vermektedir. İndüktörlerle ilgili bir diğer konu ise işgal edilen alandır. Çoğu zaman, çipin çekirdek alanı, indüktörler nedeniyle tüm çip alanından çok daha azdır.

Bu çalışmada, diferansiyel osilatör devre tasarımında iki indüktör ve bir kondansatör bulunmaktadır. İndüktörler, daha iyi kalite faktörüne sahip olabilmek için 65 nm CMOS teknolojisinde üst metal M9'da uygulanmaktadır. Kapasitör, çok küçük bir kapasitans olan 10fF'den küçük bir değere sahiptir; bu nedenle, amaçlandığı gibi kararlı kapasitans elde etmek bir tasarım zorluğudur.

6.3.1 Bobin tasarımı

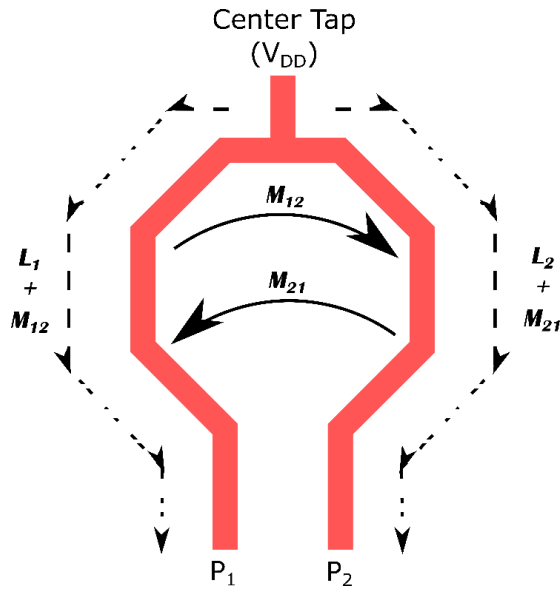
Diferansiyel tasarımda transistörlerin drenaj ve kapı terminalleri arasında iki adet indüktör bulunmaktadır. Her iki indüktörün değeri, önceki bölüm 4'te verilen eşitlikler kullanılarak hesaplanmıştır. İndüktörler, daha iyi bir kalite faktörü elde etmek için üst kalın metal (M9) üzerinde merkez beslemeli diferansiyel yapı olarak uygulanırlar. Diferansiyel tasarım, indüktör üzerinde besleme voltajının bağlı olduğu noktada sanal bir toprak veya sabit voltaj oluşturur. Bu diferansiyel merkez beslemeli yapı tasarımı, iki indüktörün ayrı ayrı kullanılmasına kıyasla daha iyi kalite faktörüne sahip olmayı sağlar.

Ayrıca, işgal edilen alan tek bir diferansiyel indüktör ile çok daha azdır. Merkez beslemeli diferansiyel indüktör yapısı Şekil 6.3'te gösterilmektedir.



Şekil 6.3 : Tasarlanan merkez beslemeli simetrik indüktör yapısı.

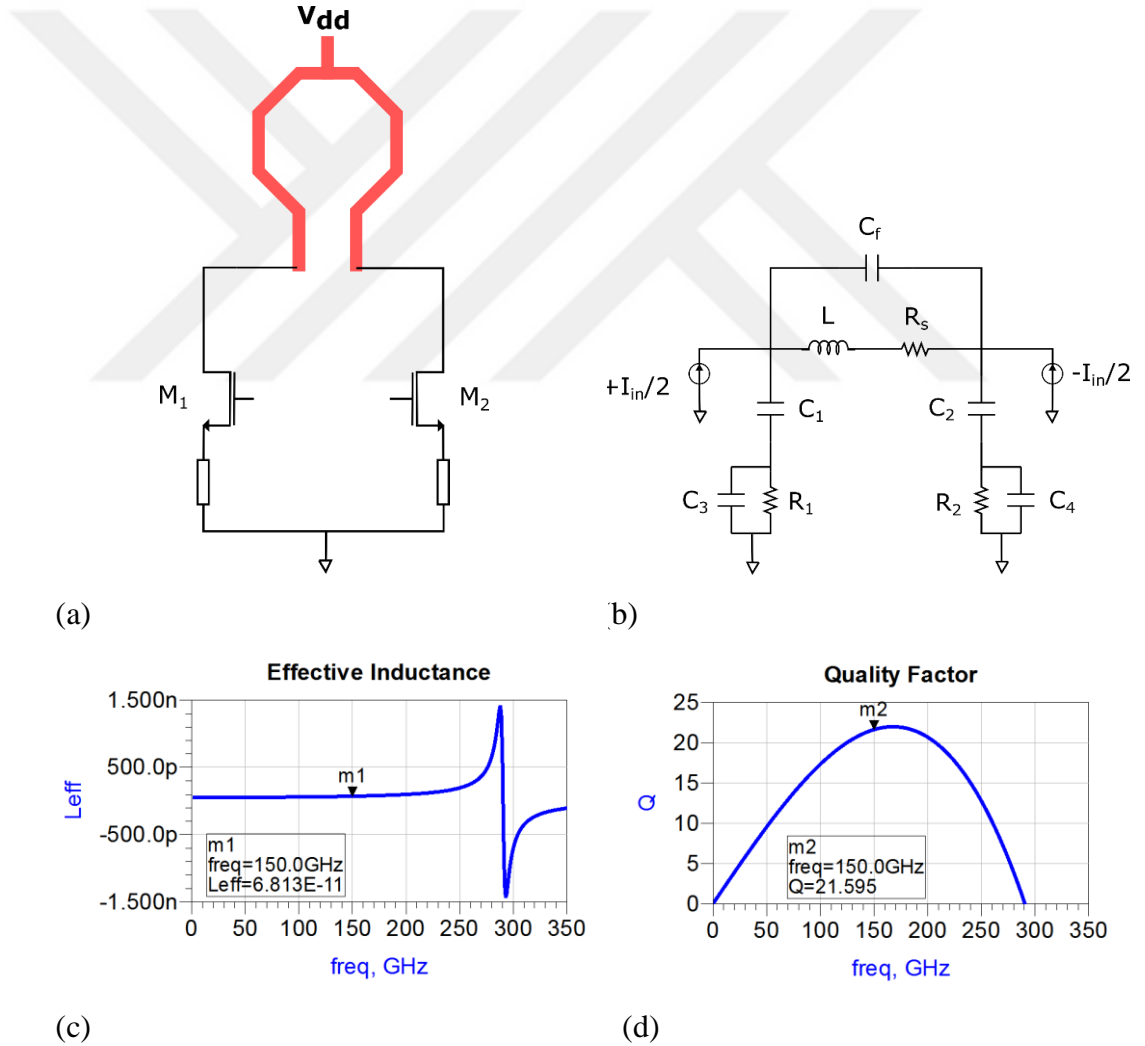
Bu diferansiyel yapıdaki endüktans, Şekil 6.4'te gösterildiği gibi iletkenin uzunluğundan ve indüktörün diferansiyel parçaları arasındaki karşılıklı eşlemeden oluşur. Endüktans öncelikle iletkenin uzunluğuna ve indüktörün diferansiyel parçaları arasındaki boşluğa bağlıdır. İletkenin genişliği çoğunlukla indüktörün kalite faktörünü etkiler; çünkü iletkenin DA direnci genişliğine bağlıdır.



Şekil 6.4 : Merkez beslemeli simetrik indüktörde oluşan endüktanslar.

Yüksek frekanslardaki cilt etkisi, iletkenin genişliğini bir noktada kalite faktöründen bağımsız hale getirir; çünkü akım, iletkende sadece küçük bir kesit alanı kullanır.

İndüktörlerle ilgili bir diğer önemli gerçek, kendi rezonans frekansıdır. Hedeflenen alt-THz frekanslarında, bu kendi rezonans frekansı olgusu, başka bir tasarım zorluğuna neden olan çalışma frekanslarına yaklaşıyor. Tasarlanan indüktörün kendi rezonans frekansının çalışma frekanslarından daha yüksek olmasını sağlamak için kendi rezonans frekansını düşüren parazitik kapasitanslar mümkün olduğunca bastırılmalıdır. İndüktörün diferansiyel parçaları arasında kapasitanslar vardır; aralarındaki boşluk azaldıkça bu kapasitans artar. İletken ile alt tabaka veya diğer katmanlarda farklı potansiyele sahip herhangi bir başka iletken arasında da kapasitanslar vardır. Dolayısıyla indüktörün genişliği arttıkça parazit kapasitansları da artar. Şekil 6.5(a)'daki diferansiyel indüktörün basit modeli Şekil 6.5(b)'deki gibi temsil edilebilir.



Şekil 6.5 : Gerçek durum senaryosunda indüktör tepkisinin gözlemlenmesi. (a), indüktörlü diferansiyel devre. (b), simetrik indüktörün diferansiyel devre modeli. (c), 68-pH numune indüktörünün simüle edilmiş etkin endüktansı. (d), aynı indüktörün simüle edilmiş kalite faktörü.

İndüktörün her iki ucunda diferansiyel akımlar bulunurken, C1 ve C2, indüktör ve diğer katmanlarda bulunan farklı potansiyele sahip iletkenler arasındaki kapasitansları temsil eder. C3 ve C4, indüktör ve alttaş arasındaki kapasitansları temsil eder. R1 ve R2, girdap akımlarının neden olduğu alt tabaka metalindeki kayıpları temsil eder. RS, indüktör metalinin DA direncidir ve Cf, indüktörün simetrik kısımları arasındaki küçük kapasitanstır.

Şekil 6.5(b)'deki gibi modellenen indüktörün endüktansı ve kalite faktörü sırasıyla Şekil 6.5(c) ve Şekil 6.5(d)'de görülmektedir. Çalışma frekansı, şekilde gösterildiği gibi indüktörün kendi rezonans frekansından çok daha düşük olmalıdır. Tasarım amacı, endüktans değişimlerinin bastırılabilmesi için indüktörün kendi rezonans frekansına yakın olmayan çalışma frekansında en yüksek kalite faktörünü elde etmektir.

İndüktörün endüktansı ve kalite faktörü, 2 portlu S-parametre simülasyonundan hesaplanabilir. S-parametreleri Z-parametrelerine dönüştürülebilir ve indüktörün etkin endüktansı ve etkin seri direnci hesaplanabilir. İndüktörün kalite faktörü, etkin endüktansın etkin seri dirence bölünmesiyle bulunur. Hesaplamalar şu şekilde verilmiştir:

$$L_{eff} = \frac{Im\{Z_{11}\}}{\omega} \quad (6.8)$$

$$R_{eff} = Re\{Z_{11}\} \quad (6.9)$$

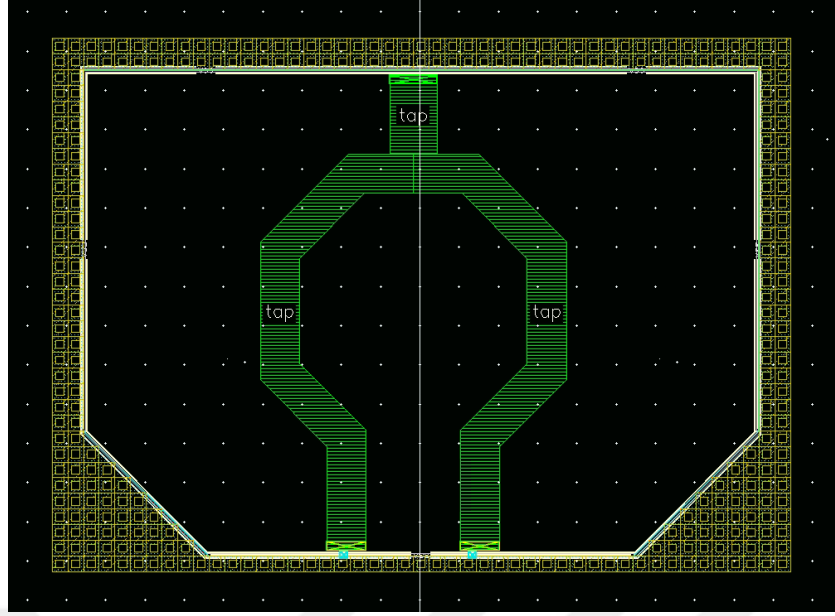
$$Q = \frac{L_{eff}}{R_{eff}} \omega \quad (6.10)$$

S-parametre analizinden diferansiyel empedans aşağıdaki denklemlerle hesaplanabilir:

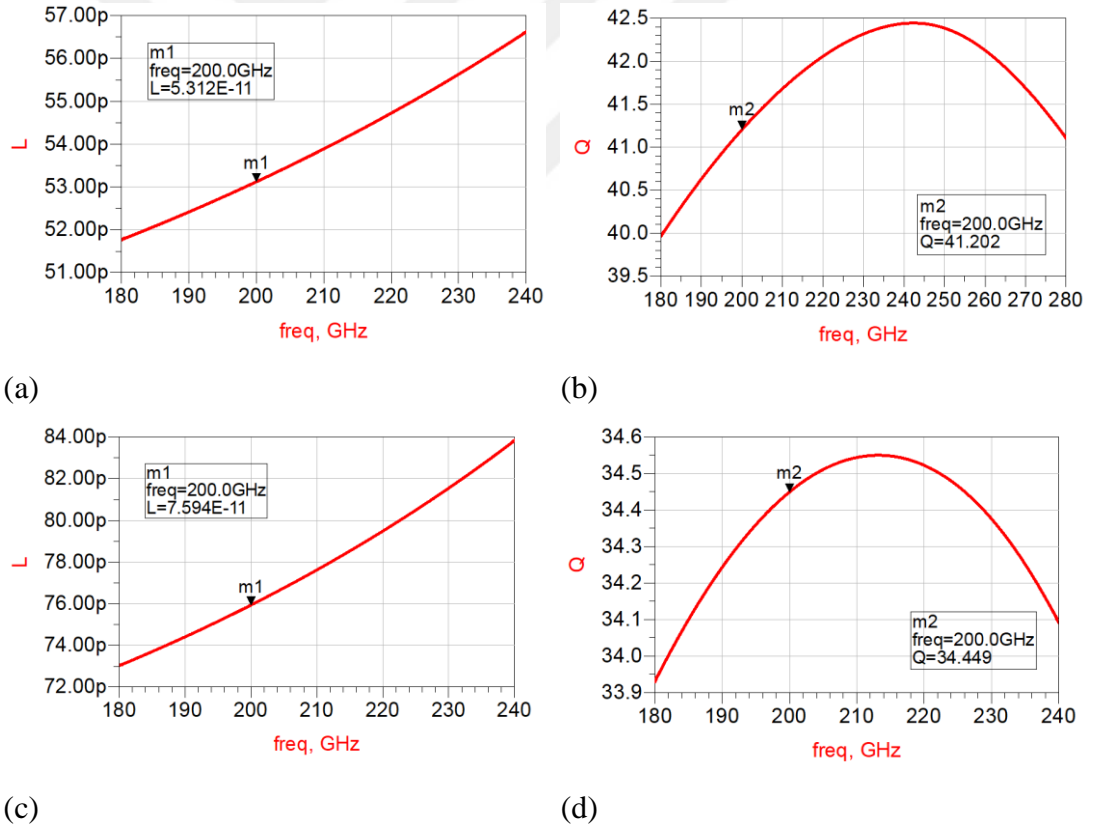
$$Z_{diff} = Z_{11} - Z_{12} - Z_{21} + Z_{22} \quad (6.11)$$

Daha sonra, merkez uçlu simetrik indüktörün toplam diferansiyel endüktansını ve kalite faktörünü hesaplamak için Eşitlik (6. 8), (6. 9) ve (6. 10)'da Z_{11} yerine Z_{diff} kullanılmıştır.

İndüktör tasarımları için optimizasyon çalışmaları yapıldıktan sonra kapı ve drenaj terminallerine 28 pH (toplamda 53-pH diferansiyel) merkez uçlu simetrik indüktör bağlanır. İndüktörün genişliği 5 μm ve çapı 29 μm 'dir. Şekil 6.6'da indüktörün serim tasarımı gösterilmektedir. Simüle edilmiş endüktans ve kalite faktörü Şekil 6.7(a) ve Şekil 6.7(b)'deki simülasyon sonuçlarında gösterildiği gibi sırasıyla 53 pH ve 41'dir.



Şekil 6.6 : 65 nm CMOS osilatörde tasarlanan indüktörün serim tasarım görseli.



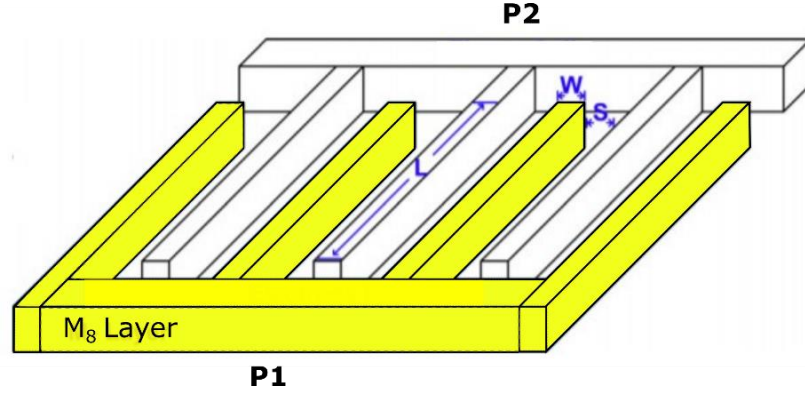
Şekil 6.7 : 65 nm osilatör tasarımında indüktörlerin EM-simülasyon sonuçları. (a), transformatörsüz osilatördeki transistörün drenaj ve kapı terminallerindeki indüktörün simüle edilmiş endüktansı. (b), aynı indüktörün simüle edilmiş kalite faktörü. (c), transformatörlü osilatördeki transistörün kapı terminallerindeki indüktör için simüle edilmiş endüktans. (d), aynı indüktörün simüle edilmiş kalite faktörü.

Transistörlerin drenaj ve kapı terminallerine yerleştirilen her iki indüktör de aynıdır. Devrenin simetrisi dikkate alınarak yerleştirme yapılmıştır. Ayrıca, osilatör devresinin üretime hazır versiyonu için bir transformator tasarlanarak, ölçülebilmesi ve literatürdeki çalışmalarla karşılaştırılabilmesi sağlanmıştır. Transformator, bölüm 6.3.3'te ayrıntılı olarak tartışılmaktadır. Transformatorlu osilatör devresinde, optimizasyon sonucu kapı indüktörü biraz daha yüksektir. Şekil 6.7(c) ve Şekil 6.7(d)'de gösterildiği gibi transformatorlu osilatör için simüle edilmiş endüktans değeri 35 pH (toplamda 76 pH diferansiyel) ve kalite faktörü 35'tir. Bu indüktörün serimi, Şekil 6.6'da verilen 28 pH indüktörün serimine çok benzeridir. İndüktör çapı biraz daha büyük, 31 μm olacak şekilde yapılmıştır. İndüktörlerin birbirine eşlenmediğinden emin olmak için, kapı ve drenaj indüktörleri arasındaki kuplaj faktörünü gözlemlemek için bir simülasyon gerçekleştirilmiştir. Aralarındaki eşleşme faktörü 0.014 olarak simüle edilmiştir, bu değer aralarında herhangi bir eşleşme olmadığını varsaymak için yeterli bir değerdir.

6.3.2 Kapasitör tasarımı

Transistörlerin kaynak terminalleri arasında tek bir kapasitör bulunmaktadır. Bu kapasitör daha önce bahsedildiği gibi negatif direnç elde etmek için gereklidir; bununla birlikte, kapasitans değeri gerçeklemek için çok küçüktür, bu nedenle üretim sırasındaki değişikliklere karşı hassas olabilir. Buradaki zorluk, varyasyonlardan fazla etkilenmeyen kararlı bir kapasitör tasarlamaktır. Metal-yalıtkan-metal (MYM), metal-oksit-metal (MOM), MOS kapasitör gibi entegre devreler için farklı kapasitör yapıları vardır. MOM ve MYM kapasitörler, iki metal plaka ve aralarında bir dielektrik malzemedan oluşan basit kapasitör yapısına dayanmaktadır. MIM kapasitör özel bir katmanda inşa edilmiştir. Ek maskeler ve yüksek üretim maliyetleri dezavantajı ile kararlı kapasitans sağlarlar. MOM kapasitörler ise herhangi bir katmanda oluşturulabileceği gibi çok katmanlı yapıda da oluşturulabilir. MOS kapasitörler bu çalışmanın hedef frekanslarında verimli değildir. Diferansiyel osilatör devresinde kullanılan kapasitör yapısı Şekil 6.8'de görüldüğü gibi saçak kapasitans tabanlı parmak kapasitördür.

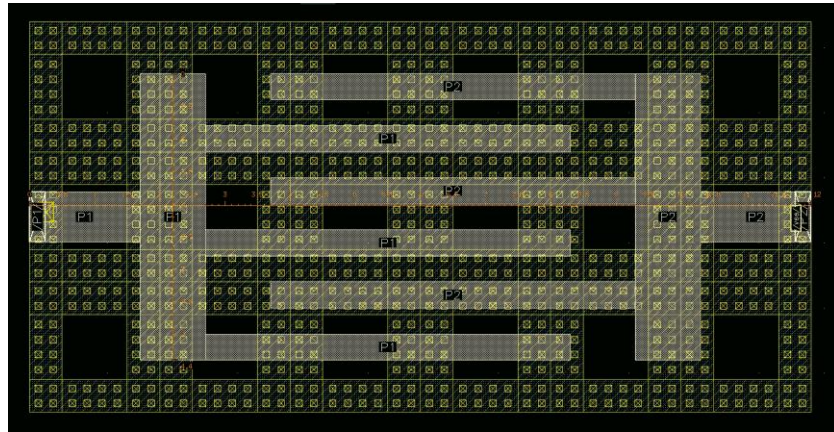
Transistörlerin kaynak terminalleri arasındaki kondansatör, M8 metal üzerine tek bir katman olarak uygulanmaktadır. 200'ün üzerinde bir değere sahip oldukça yüksek kalite faktörü ile çok küçük kapasitans sağlayabilir.



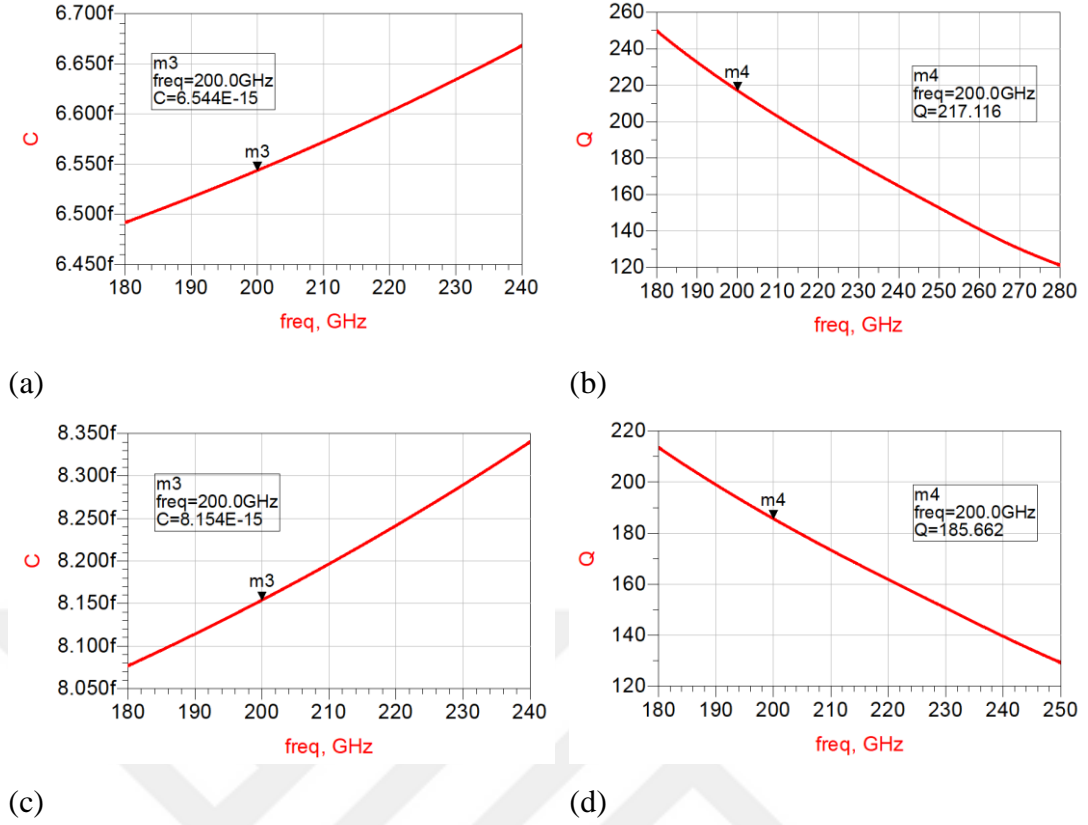
Şekil 6.8 : 65 nm CMOS osilatörde tasarlanan kapasitörün yapısı.

Gerekli kapasitansı elde etmek için parmak genişliği ve parmaklar arasındaki boşluk ayarlanır. Bu kapasitansın kalite faktörü THz altı frekanslarda çok yüksektir. Kapasitansın frekansa göre değişimi oldukça küçüktür.

Transistörlerin kaynak terminalleri bu kondansatör ile M8 metal tabakasına bağlanmıştır. Devrenin simetrisi korunarak kondansatör simetrik olarak tasarlanmıştır. Her parmak genişliği $0,4 \mu\text{m}$ 'dir ve parmaklar arasındaki boşluk da $0,4 \mu\text{m}$ 'dir. Terminaller arasındaki toplam kapasitör uzunluğu $12 \mu\text{m}$ 'dir. Kapasitansın optimizasyonu, parmak ucu ile karşılık gelen karşı terminal iletkeni arasındaki boşluğu değiştiren, parmakların uzunluğunu ayarlayarak gerçekleştirilmiştir. Optimizasyonlardan sonra kapasitans yaklaşık 6.3 fF ve kalite faktörü 217 olarak simüle edilmiştir. Trafolu üretime hazır osilatör devresi için kalite faktörü 186 olan 8.1 fF kondansatör kullanılmıştır. Kondansatörün serimi, kapasite ve kalite faktörünün simülasyon sonuçları Şekil 6.9 ve Şekil 6.10'da sunulmaktadır.



Şekil 6.9 : 65 nm CMOS osilatörde tasarlanan kapasitörün serim tasarım görseli.

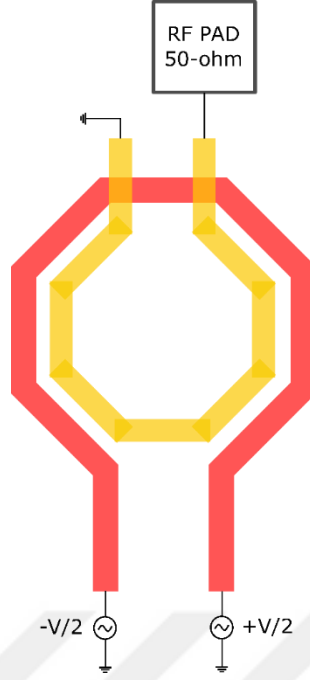


Şekil 6.10 : 65 nm osilatör tasarımında kapasitörlerin EM-simülasyon sonuçları. (a), transformatörsüz osilatörde simüle edilmiş kapasitans. (b), aynı kapasitörün simüle edilmiş kalite faktörü. (c), transformatörlü osilatörde simüle edilmiş kapasitans. (d), aynı kapasitörün simüle edilmiş kalite faktörü.

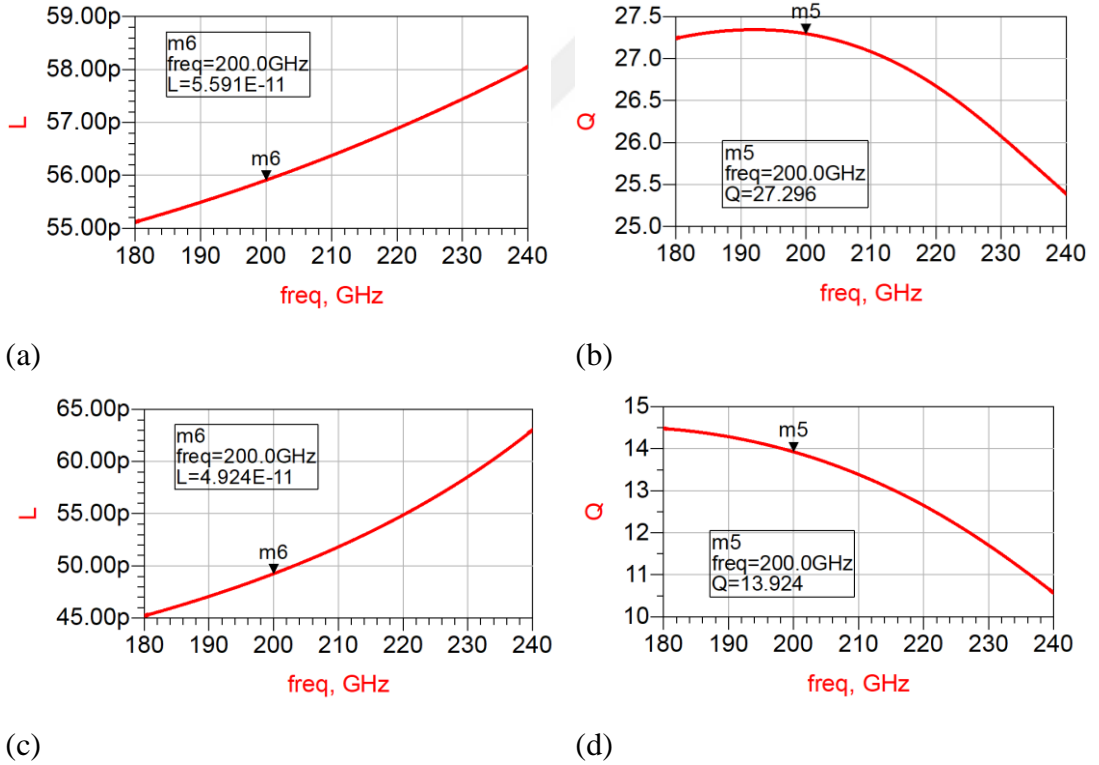
6.3.3 Diferansiyel-tek uçlu transformatör

Osilatör devresinin üretimi ve ölçümü durumu için, transistörlerin drenaj terminallerinde tek uçlu bir diferansiyel transformatör tasarlanmıştır. Drenaj terminallerindeki diferansiyel sinyali, transformatör ile tek uçlu sinyale dönüştürülüp 50-ohm yüke bağlanmıştır. İndüktörlerin eşleme oranı ve ikinci indüktörün kalite faktörü, yerleşim kuralları nedeniyle sınırlıdır; bu nedenle, transformatörde oldukça yüksek miktarda kayıp vardır.

Transformatörün yapısı Şekil 6.11'de verilmiştir. Her sargının simüle edilmiş endüktansı ve kalite faktörü Şekil 6.12'de görülmektedir. Birincil bobinin diferansiyel endüktansı toplamda 56 pH ve kalite faktörü 27'dir. İkincil bobin 49 pH diferansiyel endüktans ve 14 kalite faktörü ile sonuçlanmıştır. Sargılar arası kuplaj (eşleme oranı) 0,42 olarak simüle edilmiştir.



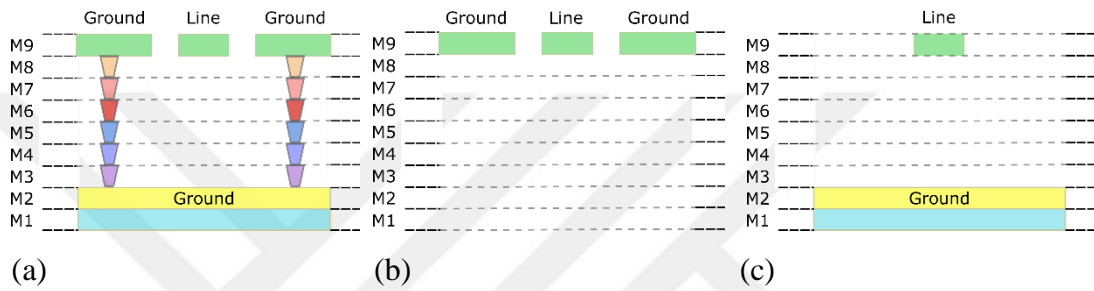
Şekil 6.11 : 65 nm CMOS osilatörde tasarlanmış diferansiyel-tek uçlu transformatör yapısı.



Şekil 6.12 : 65 nm osilatör tasarımında transformatörün EM-simülasyon sonuçları. (a), drenaj terminallerine bağlı birincil bobinin simüle edilmiş endüktansı. (b), drenaj terminallerine bağlı birincil bobinin simüle edilmiş kalite faktörü. (c), 50 ohm yüke ve RF pedine bağlı ikincil bobinin simüle edilmiş endüktansı. (d), 50 ohm yüke ve RF pedine bağlı ikincil bobinin simüle edilmiş kalite faktörü.

6.4 İletim Hattı Tasarım Çalışmaları

Kaynak terminallerindeki iletim hattı, devreye bir DA yolu sağlar. Hattın uzunluğu salınım frekansında çeyrek dalga boyudur. Kararlı durumda, kaynak terminalinde yüksek bir empedans oluşturması beklenmektedir. Bu, temel bir simülasyonla açıklığa kavuşturulabilir. Kaynak terminalindeki kapasitör, osilatör çekirdeğinin bir parçasıdır; ancak, iletim hattının uzunluğu değiştirilerek değeri ayarlanabilir. Çalışma frekansı 200 GHz'in üzerindedir, dolayısıyla iletim hattı o frekansta yüksek empedans sağlamalıdır. Şekil 6.13'te görüldüğü gibi bu amaca yönelik üç olası iletim hattı türü vardır.



Şekil 6.13 : 3 farklı iletim hattının yapıları. (a), toprak kalkanlı eş düzlemlilik dalga kılavuzu iletim hattı. (b), kalkansız eş düzlemlilik dalga kılavuzu iletim hattı. (c), mikroşerit iletim hattı.

Şekil 6.13(c)'de gösterilen dielektrik katmanın altında bir referans zemine sahip olan mikroşerit hattı, M9 metali katmanında uygulanabilir ve referans zemin, çip alanında M1 ve M2 tabakasının olacak şekilde ayarlanmıştır. Diğer bir yapı, Şekil 6.13(b)'de gösterilen eş düzlemlilik dalga kılavuzu tabanlı iletim hattıdır. Bu tip, aynı katman üzerinde, her iki tarafta canlı iletkenine paralel olan referans topraklama iletkenlerine sahiptir. Eş düzlemlilik dalga kılavuzu yapısı çip üzerinde daha geniş bir alan kaplar; ancak Tasarım Kuralı Kontrolü (TKK) açısından daha uygundur. Ayrıca eş düzlemlilik dalga kılavuzu iletim hattı ile daha iyi referans zemin elde edilebilir. Son seçenek, Şekil 6.13(a)'da gösterilen iletim hattının altında toprak kalkanı olan düzlemsel dalga kılavuzu yapısıdır. Bu iletim hattı türü, hem mikroşerit hem de eş düzlemlilik dalga kılavuzu iletim hatlarının birleşimi bir yapıdadır. Böylece, iki yapının özelliklerine de sahiptir. Bu tip iletim hattı ile, canlı iletken ile referans toprak iletkenleri arasındaki mesafe ayarlanarak hattın tepkisi mikroşerit veya eş düzlemlilik dalga kılavuzuna daha yakın olarak ayarlanabilir.

Bu çalışmada, topraklanmış eş düzlemlilik dalga kılavuzu iletim hattı, iki farklı tipte iletim hattının da özelliklerine sahip olması için kullanılmıştır; ayrıca, ek topraklama

iletkenleri ile M9 katmanında TKK yoğunluk kuralları gevşetilmiştir. İletim hatlarının karakteristik empedans (Z_0), alfa (α) ve beta (β) parametrelerini gözlemlemek için toprak kalkanlı eş düzlemlilik dalga kılavuzu ve mikroşerit iletim hatları arasında bir karşılaştırma yapılmıştır. Her iki hat da aynı 50 μm uzunluğa ve 2,5 μm genişliğe sahiptir. TEDD iletim hattı için toprak ve canlı iletkenler arasındaki boşluk 7,5 μm 'dir. Her iki yapı için M1 ve M2 metal katmanları referans düzlemi olarak ayarlanmıştır. Bu iki yapının S-parametre simülasyonları, iletim hattı parametrelerini hesaplamak için kullanılmıştır. S-parametreleri Z ve Y parametrelerine dönüştürülebilir ve iletim hattı parametreleri aşağıdaki gibi hesaplanabilir:

$$Z_0 = \sqrt{\frac{Z_{11}}{Y_{11}}} \quad (6.12)$$

$$\gamma = \tanh^{-1}\left(\frac{1}{Y_{11}Z_0}\right) = \alpha + i\beta \quad (6.13)$$

$$R = \text{Re}\{\gamma Z_0\} \quad (6.14)$$

$$L = \frac{\text{Im}\{\gamma Z_0\}}{\omega} \quad (6.15)$$

$$G = \text{Re}\left\{\frac{\gamma}{Z_0}\right\} \quad (6.16)$$

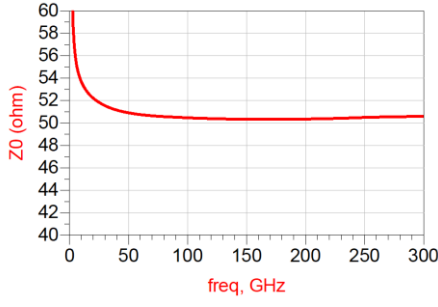
$$C = \frac{\text{Im}\left\{\frac{\gamma}{Z_0}\right\}}{\omega} \quad (6.17)$$

Dolayısıyla, TEDD ve mikroşerit hat yapıları için simüle edilmiş iletim hattı parametreleri sırasıyla Şekil 6.14 ve Şekil 6.15'te verilmiştir. Sonuçlardan da görüldüğü gibi 50 ohm karakteristik empedansa sahip bir mikroşerit hat elde etmek için hat kalınlığı daha fazla olmalıdır.

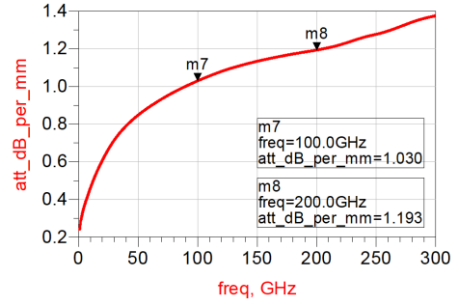
Bir iletim hattı ile salınım frekansında yüksek empedans elde etmek için, hattın bir ucu DA yolunu da sağlayan toprağa kısa devre yapılmıştır ve hattın uzunluğu çalışma frekansında çeyrek dalga boyu olacak şekilde ayarlanır. İletim hattının yönlendirilen dalga boyu, simülasyonlardan elde edilen tüm yapının etkin dielektrik sabiti kullanılarak aşağıdaki denklemlerle hesaplanabilir.

$$\lambda_{\text{yönlendirilen}} = \frac{c}{f\sqrt{\epsilon_r}} \quad (6.18)$$

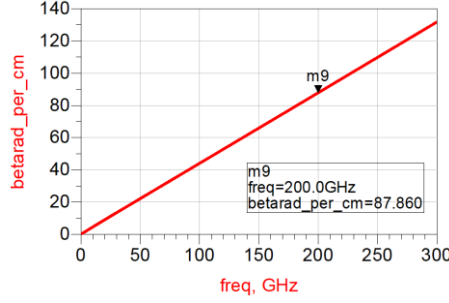
200 GHz salınım frekansında, toprak kalkanlı eş düzlemlilik dalga kılavuzu iletim hattı için yönlendirilen dalga boyu 715 μm ve çeyrek dalga boyu 178.75 μm 'dir. Mikroşerit hat için yönlendirilen dalga boyu 740 μm ve çeyrek dalga boyu 185 μm 'dir.



(a)

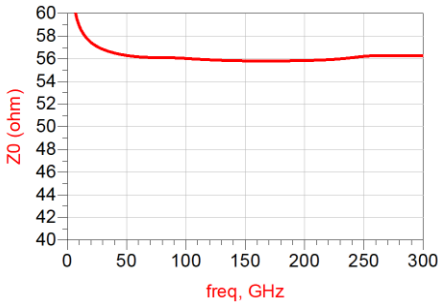


(b)

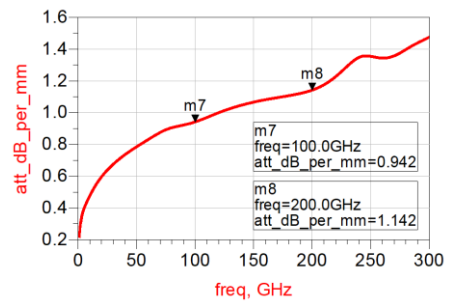


(c)

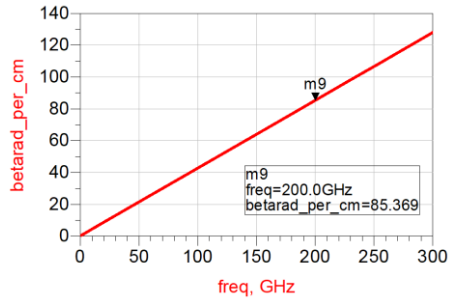
Şekil 6.14 : 50 μm toprak kalkanlı eş düzlemlı dalga kılavuzunun benzetimleri yapılmış iletım hattı parametreleri. (a), karakteristık empedans. (b), mm başına dB cinsinden zayıflama. (c), cm başına radyan cinsinden beta.



(a)



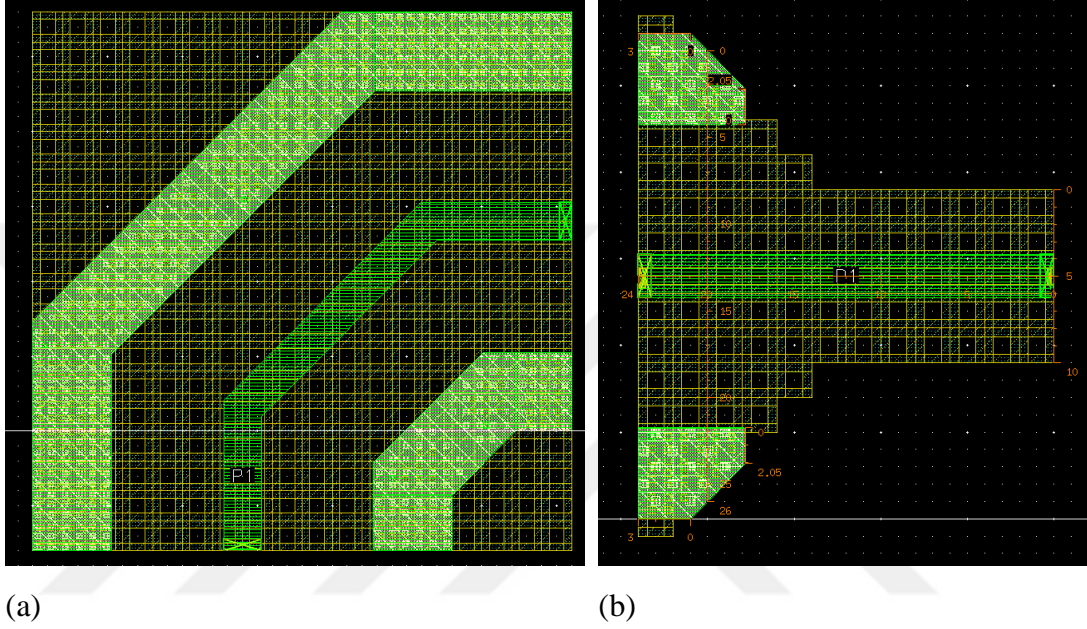
(b)



(c)

Şekil 6.15 : 50 μm mikroşerit iletım hattının benzetimleri yapılmış iletım hattı parametreleri. (a), karakteristık empedans. (b), mm başına dB cinsinden zayıflama. (c), cm başına radyan cinsinden beta.

250 GHz salınım frekansında, toprak kalkanlı eş düzlemlı dalga kılavuzu iletım hattı için yönlendirilen dalga boyu 572 μm ve çeyrek dalga boyu 143 μm 'dir. Mikroşerit hat için yönlendirilen dalga boyu 593 μm ve çeyrek dalga boyu 148 μm 'dir. Küçük bir çipte bu kadar uzun bir iletım hattını gerçekleştirmek için, iletım hattı Şekil 6.16(a)'da gösterildiği gibi 90 derecelik büküm yapısı ile bükülmüştür. Köşelerin ve iletım hatlarının karakteristik empedansı standart 50 ohm olarak ayarlanmıştır.



Şekil 6.16 : (a), 65 nm CMOS osilatörde tasarlanan köşenin serim tasarım görseli. (b), 65 nm CMOS osilatörde konik geçişin serim tasarım görseli.

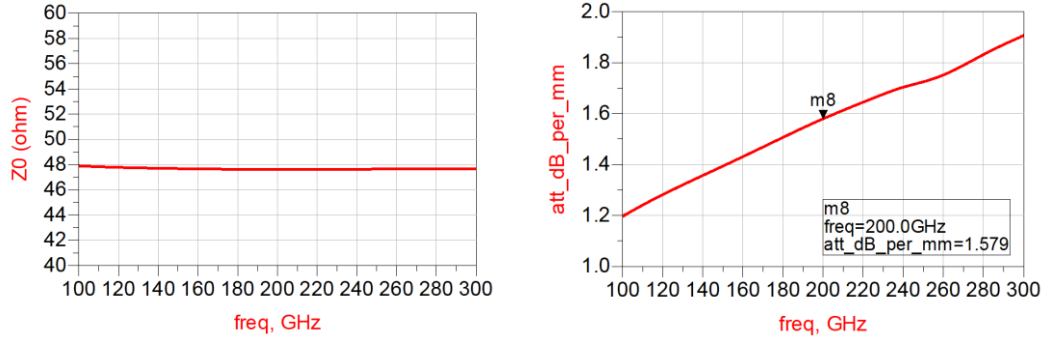
İletım hatlarının köşelerinde keskin kenarlardan kaçınmak, yüksek frekanslarda daha iyi sonuçlar vermektedir. Köşelerin efektif uzunluğunu hesaplamak için aşağıda gösterildiği gibi simüle edilmiş parametreler kullanılabilir:

$$\beta = \frac{2\pi}{\lambda_{\text{guided}}} \quad (6.19)$$

$$\text{Hattın toplam fazı} = \beta l \quad (6.20)$$

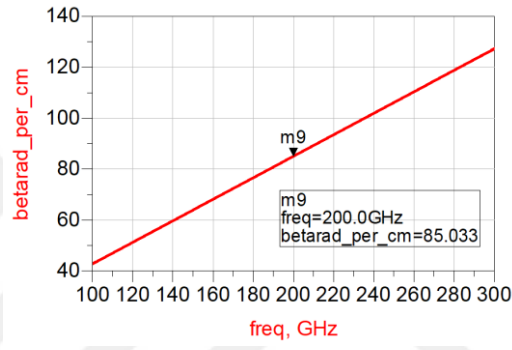
İletım hattının betası, yukarıda gösterildiği gibi hesaplanmış yönlendirilen dalga boyu kullanılarak hesaplanabilir. Simüle edilmiş $\beta \cdot l$, hattın etkin uzunluğunu bulmak için kullanılmaktadır. Şekil 6.16(a)'daki köşenin etkin uzunluğu 35.8- μm olarak, 210 GHz'deki yığının 4.4 etkin dielektrik sabiti kullanılarak hesaplanmıştır. Köşenin bu uzunluğu, dalga boyunun onda birinin oldukça altındadır. Şekil 6.16(b)'de iletım hattının geri kalanı ile transistörlerin kaynak terminalleri arasındaki geçiş yapısı

gösterilmektedir. Geçişin uzunluğu, çalışma frekansında dalga boyunun onda birinden daha küçük olan 24 μm 'dir. Köşe ve geçiş hattının simüle edilmiş iletim hattı parametreleri sırasıyla Şekil 6.17 ve Şekil 6.19'de verilmiştir.



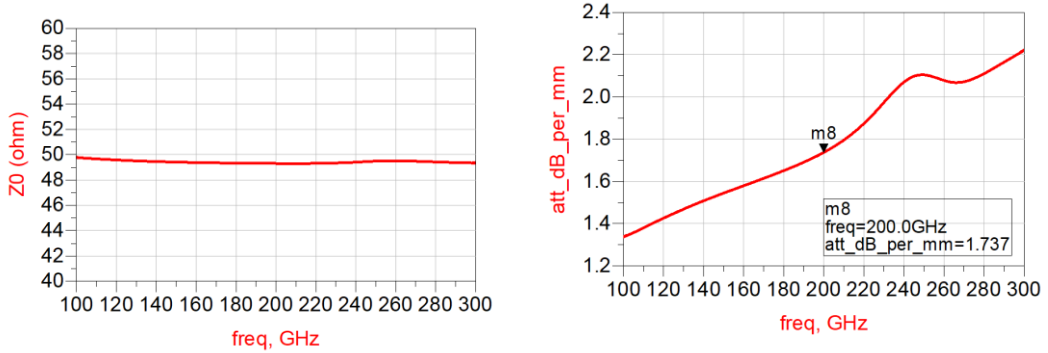
(a)

(b)



(c)

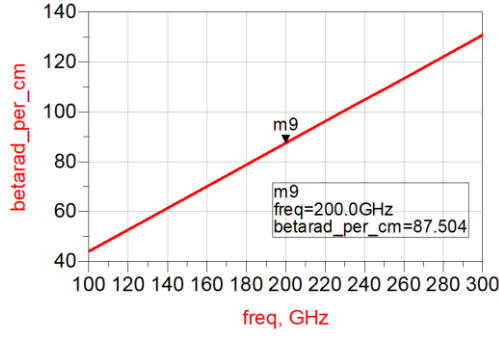
Şekil 6.17 : 65 nm osilatör tasarımında köşe iletim hattının EM-simülasyon sonuçları. (a), karakteristik empedans. (b), mm başına dB cinsinden zayıflama. (c), cm başına radyan cinsinden beta.



(a)

(b)

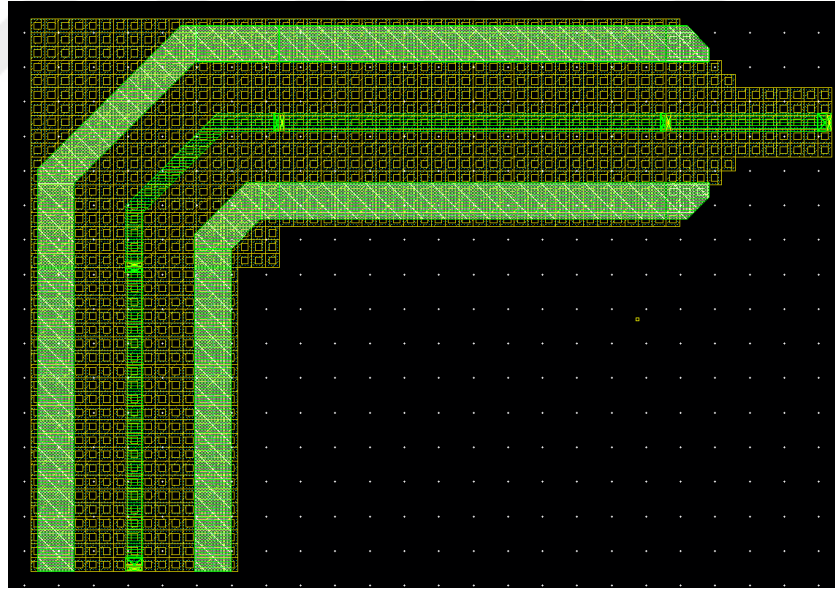
Şekil 6.18 : 65 nm osilatör tasarımında konik geçiş iletim hattının EM-simülasyon sonuçları. (a), karakteristik empedans. (b), mm başına dB cinsinden zayıflama. (c), cm başına radyan cinsinden beta.



(c)

Şekil 6.19 (devam) : 65 nm osilatör tasarımında konik geçiş iletim hattının EM-simülasyon sonuçları. (a), karakteristik empedans. (b), mm başına dB cinsinden zayıflama. (c), cm başına radyan cinsinden beta.

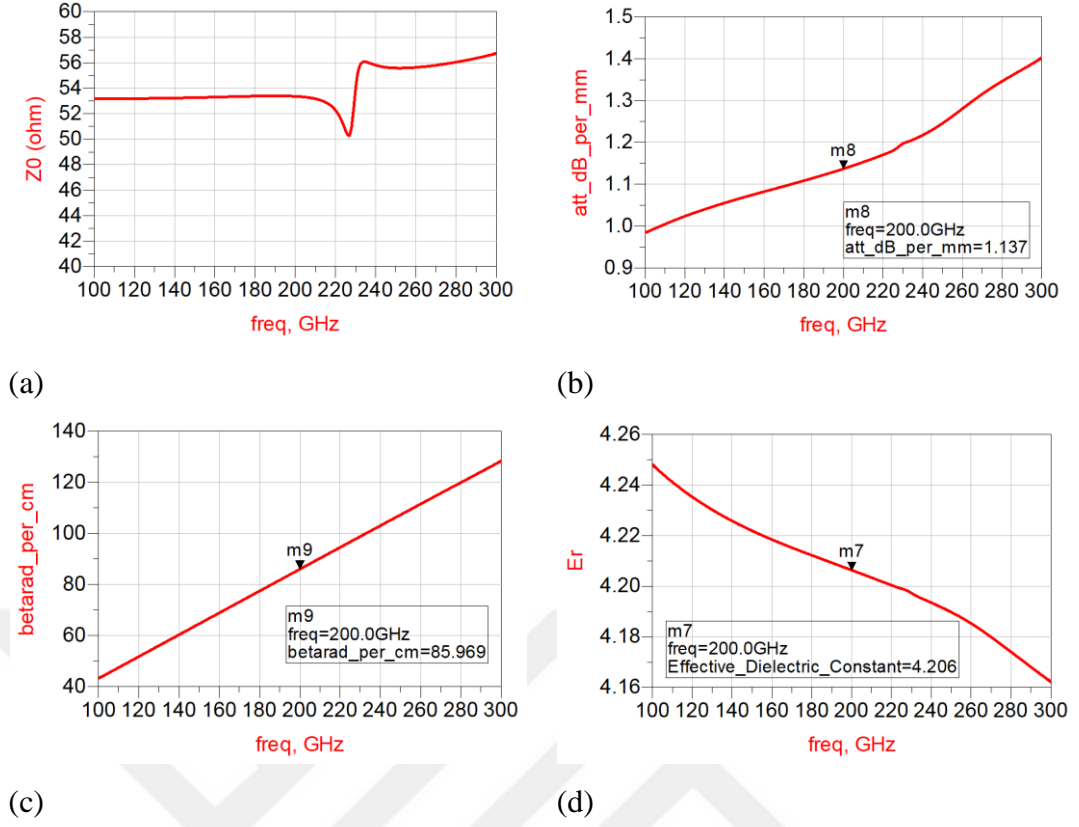
İletim hattının toplam uzunluğu, 210 GHz'de yaklaşık 165 μm olan çeyrek dalga boyu olmalıdır. Parametrik analiz ile optimizasyondan sonra köşenin her iki ucuna 55 μm ve 44 μm TEDD iletim hatları eklenmiş, böylece hattın toplam uzunluğu 159.5 μm olmuştur. Tüm iletim hattının yerleşim düzeni ve simülasyon sonuçları sırasıyla Şekil 6.20 ve Şekil 6.21'de görülebilir.



Şekil 6.20 : 65 nm CMOS osilatörde toplam iletim hattının serim tasarım görseli.

6.5 Osilatör Devresinin Serim Çalışmaları

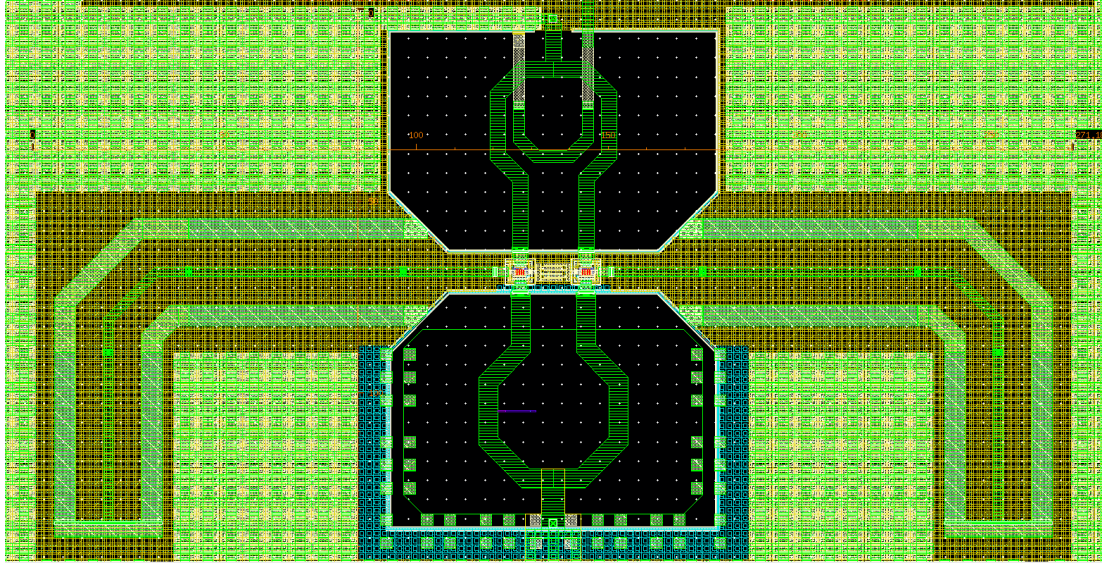
Tüm devrenin serimi, diferansiyel osilatörün daha iyi performans göstermesi için devre simetrisi dikkate alınarak tasarlanmıştır. Transistörler yerleşimin ortasında bulunmaktadır,



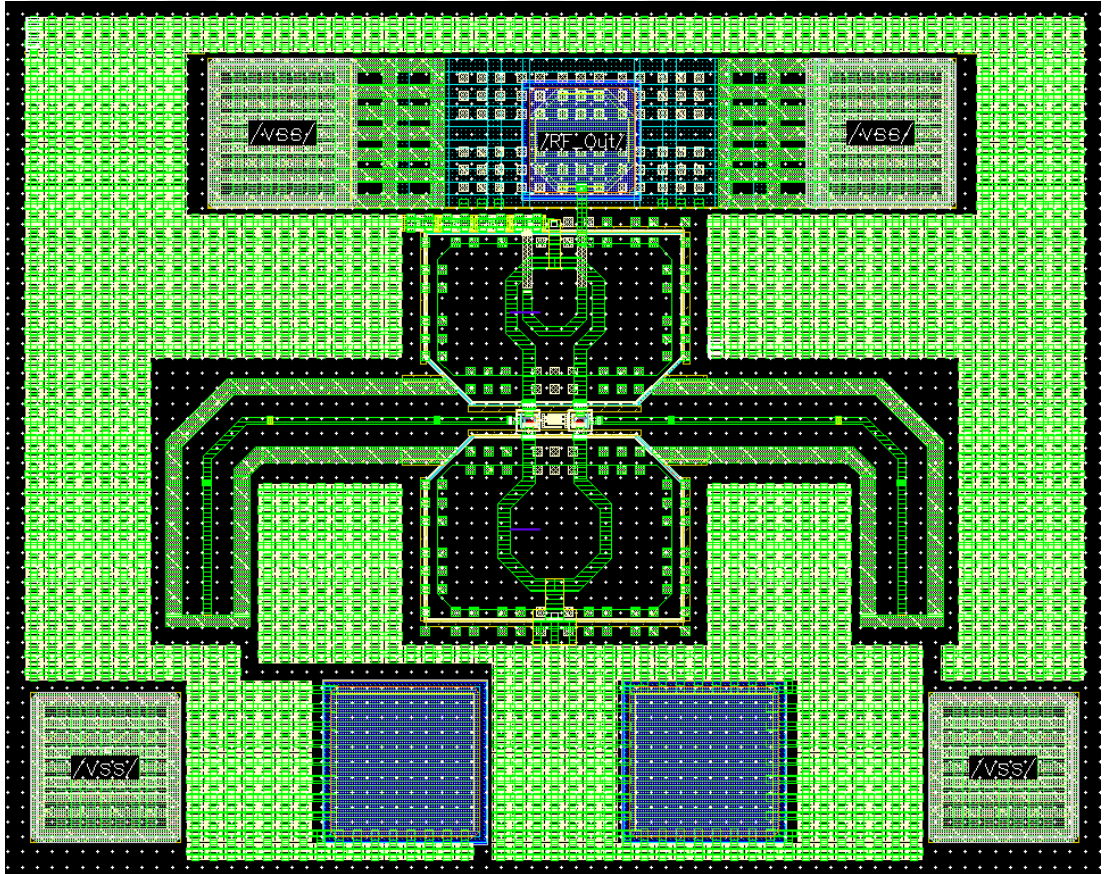
Şekil 6.21 : 65 nm osilatör tasarımında kullanılan bütün iletim hattının EM-simülasyon sonuçları. (a), karakteristik empedans. (b), mm başına dB cinsinden zayıflama. (c), cm başına radyan cinsinden beta. (d), etkin dielektrik sabiti.

M8 metal katman üzerinde transistörlerin kaynak terminallerine bağlı kondansatör bulunmaktadır. Transistörlerin drenaj terminalleri yukarı doğru yönlendirilip drenaj indüktörü yerleşimin üst kısmına konulmuştur. Transistörlerin kapı terminalleri aşağı doğru yönlendirilip kapı indüktörü yerleşimin alt kısmına konulmuştur. Transistör terminalleri ve indüktörler arasındaki geçiş bağlantıları aynı genişliğe sahiptir. Kaynak terminalleri her iki tarafa simetrik olarak konumlandırılmış, kondansatör iç tarafa ve iletim hatları kaynak terminallerinin dış taraflarına gelecek şekilde yerleşim yapılmıştır. Çekirdek devre serim tasarımı Şekil 6.22'de, pedlerle birlikte üretime hazır tüm osilatörün serim tasarımı ise Şekil 6.23'de görülebilir.

Referans zemin katmanı, tüm çip alanı için M1 ve M2 katmanında oluşturulmuştur. Baypas kapasitörleri, drenaj besleme voltajı ve kapı besleme voltajının DA kaynaklarına paralel bağlanmıştır. Bu kapasitörlerin M9 üzerindeki pozitif terminali besleme gerilimine ve negatif terminali M2 toprak katmanına bağlanmıştır.



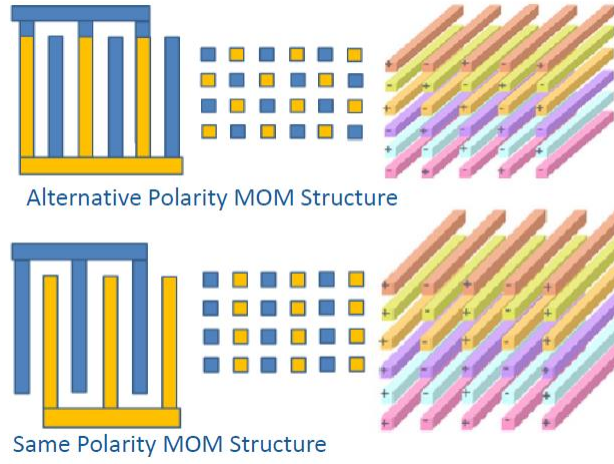
Şekil 6.22 : Tasarlanan osilatör devresinin yerleşimi, çekirdek kısım.



Şekil 6.23 : Tasarlanan üretime hazır osilatör devresinin pedlerle birlikte yerleşimi.

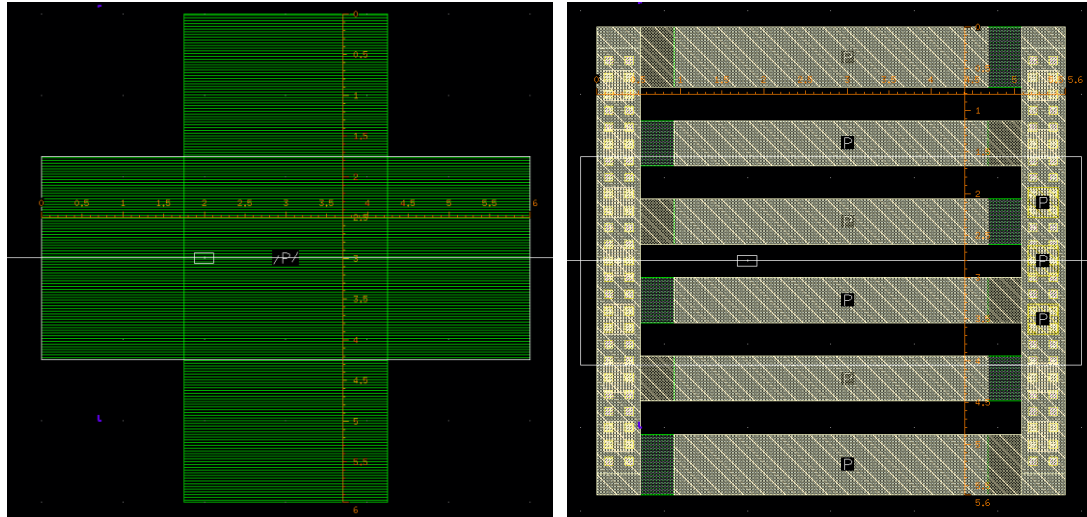
Kondansatörün yapısı Şekil 6.24'te görüldüğü gibi alternatif polarite MOM olarak ayarlanmıştır.

Böylece alternatif polarite yapısı ile birim alan başına kapasite artırılmıştır. Kondansatör plakaları, birim alan başına olası maksimum kapasitansa sahip olacak şekilde yerleştirilmiştir.



Şekil 6.24 : Baypas kapasitör yapısı [72].

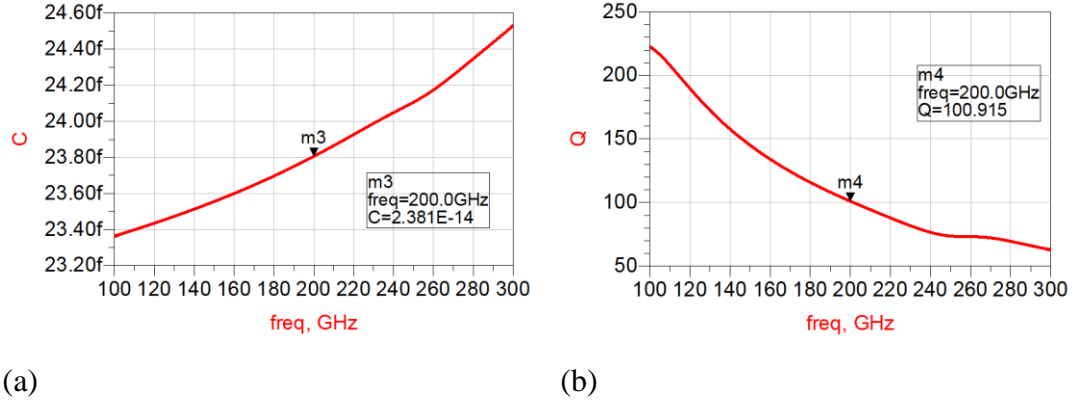
Baypas kapasitörünün boyutu $5,6 \times 5,6 \mu\text{m}^2$ 'dir. Baypas kapasitörleri, TKK yoğunluk kurallarının her katmanda kolayca sağlanabilmesi için çip alanı üzerinde mümkün olan her yere yerleştirilmiştir. Baypas kondansatörünün yerleşimi ve simülasyon sonuçları sırasıyla Şekil 6.25 ve Şekil 6.26'te verilmiştir.



(a)

(b)

Şekil 6.25 : 65 nm CMOS osilatörde baypas kapasitörünün serim tasarım görseli. (a), M9 metal tabakasında pozitif terminal. (b), diğer katmanlar.



Şekil 6.26 : 65 nm osilatör tasarımında baypas kapasitörünün EM-simülasyon sonuçları. (a), simüle edilmiş kapasitans. (b), simüle edilmiş kalite faktörü.

Tüm elemanların serim tasarımları tamamlanıp, devre yerleşimi ve bağlantılar yapıldıktan sonra TKK kurallarını karşılamak için devreye ek yüzey metal plakalar yerleştirilmiş ve osilatör devresi serim tasarımı TKK hatası olmayacak şekilde üretime hazır hale getirilmiştir.

6.6 Benzetim Sonuçları

65 nm CMOS'ta temel diferansiyel osilatör devresinin tasarım, optimizasyon ve yerleşim çalışmaları tamamlanarak, tüm gerçekçi devre modelleri ve serimden gelen parazit elemanları da dahil edilerek simülasyonlar gerçekleştirilmiştir. Elektromanyetik simülasyon sonuçları kullanılarak, EMX ile pasif bileşenlerin ve iletim hatlarının gerçekçi devre modelleri oluşturulmuştur; bu nedenle, benzetimleri yapılan osilatör performanslarının yüksek doğrulukta olması beklenmektedir.

Osilatör performansını gözlemek için DA, geçici sinyal, harmonik denge, periyodik kararlı durum ve faz gürültüsü analizleri kullanılmıştır. Bu simülasyonların sonuçları, transformatorlü ve transformatörsüz osilatör devreleri için sunulmuştur. Her devre için bileşen değerleri ve diğer parametreler, tüm değerleri hatırlamak ve karıştırmamak için aşağıdaki Çizelge 6.1'de toplanmıştır.

DA simülasyon sonuçlarına göre, osilatör devresi 1 V drenaj beslemesinden 9.48 mW güç tükettiği için her transistör için drenaj akımı 4.74 mA olmaktadır. Kapı besleme voltajı optimum değer olarak 800 mV kullanılmıştır. Geçici simülasyon, salınımın kararlı durumu sağlanana kadar uzun süre çalıştırılmıştır.

Çizelge 6.1 : Osilatör devreleri için tasarlanan bileşenlerin değerleri.

	Transformatörsüz Osilatör	Transformatörlü Osilatör
Transistör Toplam Genişliği	9.6 μm	9.6 μm
Transistör Kapısı Parmak Sayısı	8	8
Drenaj İndüktörü (Transformatör birincil)	28 pH	28 pH
Kapı İndüktörü	28 pH	35 pH
Kaynak Kapasitör	6.3 fF	8.1 fF
İletim Hattı Uzunluğu	160 μm	160 μm

Devrelerin salınım frekansı transformatörsüz osilatör devresi için 210.9 GHz ve transformatörlü osilatör devresi için 190.8 GHz olarak simüle edilmiştir. Transistörlerin drenaj terminallerinde elde edilen diferansiyel salınım yaklaşık 1.1 V_{p-p} 'dir. Transformatör kayıplı bir yapı olduğu için ve diferansiyelden tek uçlu çevrimi düşük bir verim ile sağlayabilmektedir. Transformatörün tek çıkışındaki tepeden tepeye voltaj $270 mV_{p-p}$ olup, trafonun sekonderine bağlanan 50 ohm yük ile 0.18 mW (-7.49 dBm) çıkış gücüne tekabül etmektedir. Bu sonuçlarla, bu çalışmada osilatörden % 1.915 DA-RF verimliliği elde edilmiştir. Osilatörün faz gürültü performansı 10 MHz aralığında trafolu ve transformatörsüz osilatörler için sırasıyla -104.2 dBc/Hz ve -101.5 dBc/Hz olmaktadır. Tüm simülasyon sonuçları Çizelge 6.2'de sunulmuştur. Ayrık Fourier Dönüşümü (AFT) ve salınım sinyallerinin faz gürültüsü aşağıdaki Şekil 6.27'da sunulmaktadır. Salınım sinyalinin kalitesi ve harmonikleri AFT'lerde görülebilir. Simetrik diferansiyel tasarım sayesinde transformatörün tek çıkışında (sekonder) elde edilen ikinci harmonik, temel sinyalin 48.5 dB altında ve üçüncü harmonik, temel sinyalin 43.5 dB altında olmaktadır. Benzer şekilde, transformatörsüz osilatör için, ikinci harmonik temel sinyalin 80 dB altındadır ve sinyalin üçüncü harmoniği, temel sinyalden 52 dB daha düşüktür.

Osilatör devresi, diferansiyelden tek uçlu transformatörle birlikte üretime hazır olacak şekilde tasarlanmıştır.

Çizelge 6.2 : 65 nm CMOS'ta tasarlanan osilatörlerin simülasyon sonuçları.

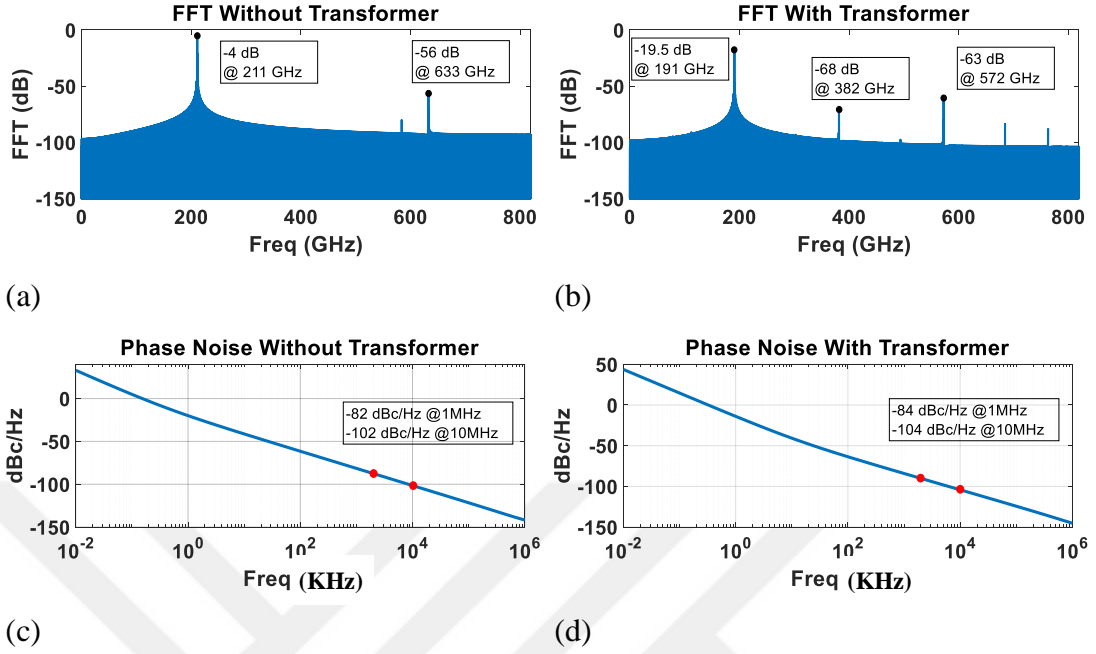
	Transformatörsüz Osilatör	Transformatörlü Osilatör
Salınım Frekansı (GHz)	210.9	190.8
Transistörlerin drenaj terminallerindeki tepeden tepeye salınım voltajı (V)	1.267	1.076
Transformatörün tek çıkışında tepeden tepeye salınım gerilimi (mV)	-	270
Faz gürültüsü @ 1M (dBc/Hz)	-81.5	-84.13
Faz gürültüsü @ 10M (dBc/Hz)	-101.5	-104.2
DA güç tüketimi (mW)	9.49	9.49
Çıkış gücü (dBm)	-	-7.49
DA-to-RF Efficiency (%)	-	1.915

Serim tasarımları, Cadence serim doğrulama araçları kullanılarak tamamlanmıştır. TKK ve Şematik-Serim Karşılaştırma (SSK) hatasız bir şekilde gerçekleştirilmiştir ve osilatör devresinin serim tasarımı RF ölçüm pedi ve DA pedleri de olacak şekilde tamamlanmıştır.

6.7 Sonuç

Son zamanlarda pek çok araştırmacının ilgi alanı olan THz altı frekanslarda temel diferansiyel osilatör devresi tasarlama amacı doğrultusunda, 190,8 GHz temel diferansiyel osilatör, 65 nm CMOS'ta tasarlanmıştır. Osilatör, %1.915 DA-RF verimliliğine ulaşmış ve çıkış gücü -7.49-dBm olmuştur. Bu osilatör devresinde, 65 nm CMOS'ta tüm parazitik bileşenlerle simüle edilmiş transistörlerin Fmax'ları, özel serim tasarımlarıyla geliştirilerek 230 GHz'den 240 GHz'ye yükseltilmiştir. Geliştirilmiş küçük sinyal modelleri bu tezde 4. bölümde analiz ve optimizasyon için kullanılmıştır. Tüm devre bileşenleri 3 boyutlu EM çözücü ile simüle edilmiş ve devre modelleri hatasız oluşturulmuştur. Transistör düzeni ve ara bağlantılar, parazitik bileşenler dahil edilerek simüle edilmiştir. Osilatör devresinin yerleşim düzeni üretime hazırdır ve ölçüm için RF ve DA pedlerine sahiptir.

Gelecekteki ölçüm sonuçlarına göre bu çalışmada tasarlanan temel osilatör devresi geliştirilebilir ve osilatörün performansı daha da artırılabilir.



Şekil 6.27 : 65 nm CMOS'ta tasarlanan osilatörlerin simülasyon sonuçları. (a), trafosuz osilatör devresinin HFD'si. (b), trafolu osilatör devresinin HFD'si. (c), trafosuz osilatörün faz gürültüsü. (d), trafolu osilatörün faz gürültüsü.

Bu bölümde tasarlanan temel osilatör devresi, gövdeye bağlı farklı transistörlere sahip 3 farklı osilatör devresi için kullanılmaktadır. Amaç, tezin bir sonraki bölümünde transistörlerin gövde bağlantısının osilatöre etkisini gözlemleyerek DA-RF verimliliği açısından daha iyi osilatör performansı elde etmektir.



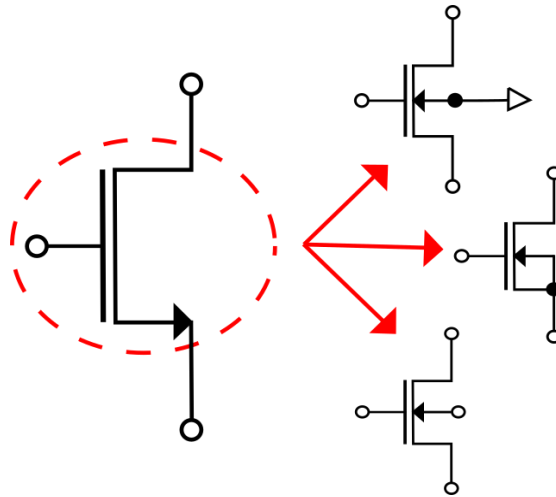
7. TRANSİSTÖR GÖVDE BAĞLANTISININ OSİLATÖR PERFORMANSINA ETKİSİ

7.1 Giriş

Bu bölümde, CMOS'ta THz altı sinyal kaynağı gibi iyi tanıtilan bir birimde tasarım verimliliği elde etmek için daha alışılmışın dışında bir yöntem benimsenmiştir. F_{max} 'a yakın frekanslardaki transistörler için gövde bağlantı seçeneklerinin incelenmesi, CMOS sinyal kaynakları için daha iyi çalışma performansı elde etmek amaçlı dolaylı bir çözümdür. Tezin bu bölümünde, farklı gövde bağlantılarına sahip üç transistörlü temel sinyal kaynakları, 65 nm CMOS'ta THz altı bölgede osilatör performansı açısından karşılaştırılmıştır. Transistörlerin gövde bağlantısının etkisi, 200 GHz'nin üzerindeki THz altı CMOS osilatör performansına etkisini gözlemlemek için incelenmiştir. Topraklanmış gövdeli, gövde kaynak terminaline bağlı ve yüzer gövdeli transistörler üç farklı gövde bağlantısı olarak görülmektedir (Şekil 7.1). Bu üç osilatör devresi, bu bölümde trafolu ve trafosuz olacak şekilde karşılaştırılmaktadır.

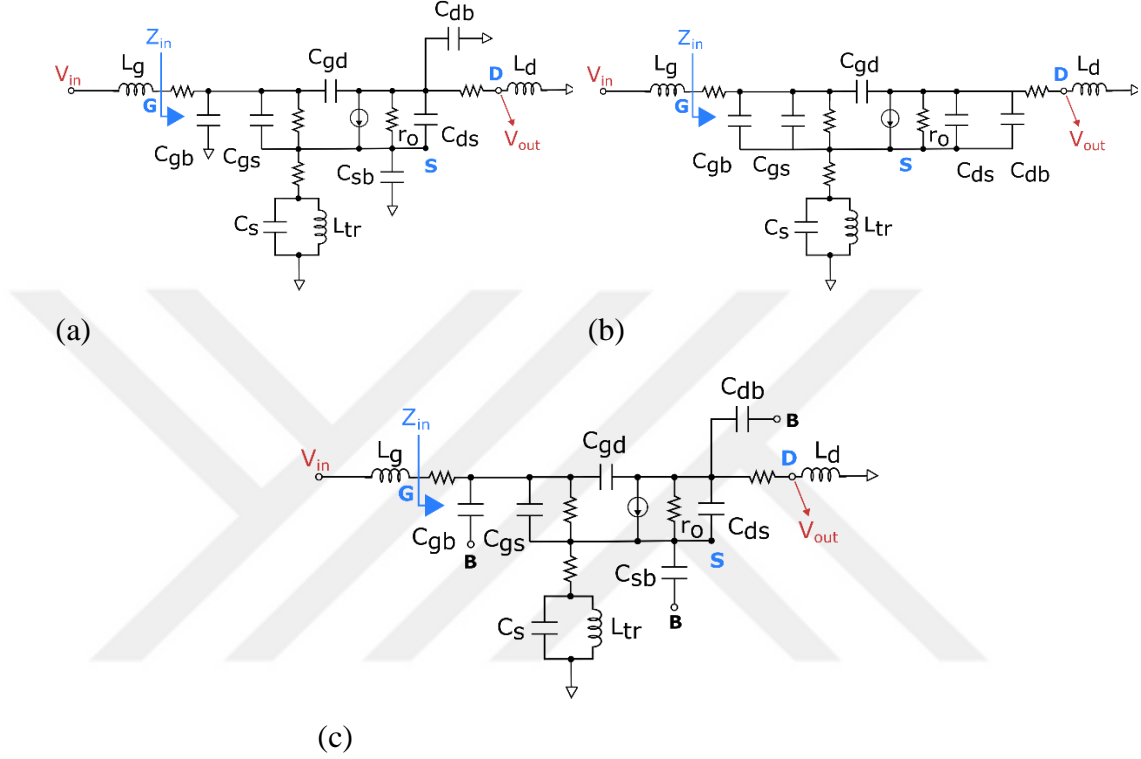
7.2 Osilatör Devreleri ve Uygulaması

Farklı gövde bağlantılarını karşılaştırmak için kullanılan temel diferansiyel osilatör devresi, bölüm 4.4'te ele alınan devreyle aynıdır.



Şekil 7.1 : Transistörün üç farklı gövde bağlantısı.

Şekil 4.7'teki diferansiyel devre ile transistörlerin üç farklı gövde bağlantısı gerçekleştirilmiştir. Şekil 7.1'de görüldüğü gibi, toprağa bağlı gövde, kaynağa bağlı gövde ve yüzen gövde konfigürasyonları karşılaştırma için üç ayrı transistörde uygulanmıştır. Şekil 7.2'de üç farklı kombinasyonun küçük sinyal modeli gösterilmektedir.

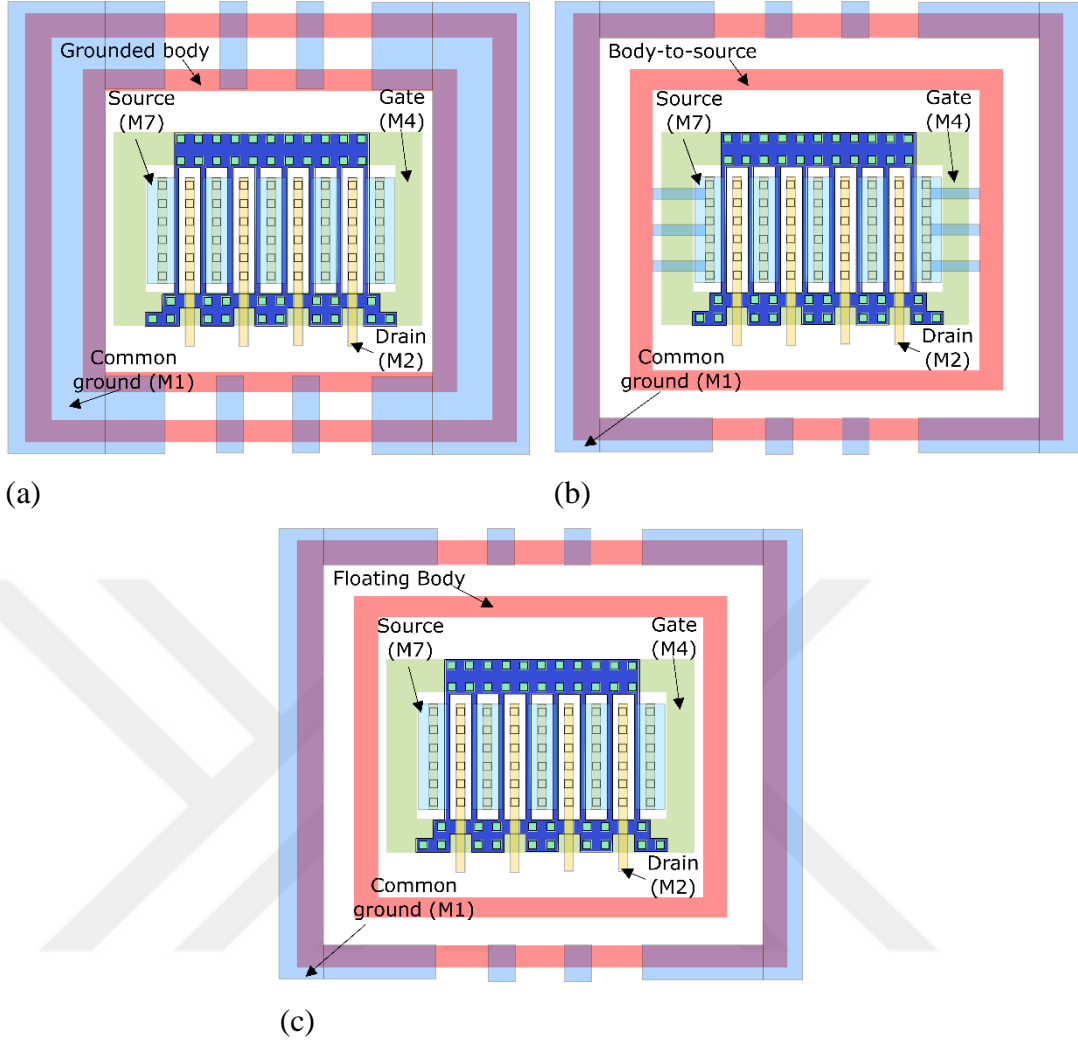


Şekil 7.2 : Osilatörlerin küçük sinyal modelleri. (a), topraklanmış gövde transistörlü. (b), gövde kaynağa bağlı transistörlü. (c), yüzer gövdeli transistörlü.

Transistör modelindeki parazitik bileşenler gövde bağlantısına göre değişir, dolayısıyla transistörün F_{max} değeri değişir. Bu durum, THz altı CMOS sinyal kaynakları için verimlilik açısından osilatörün performansını artırma fırsatı yaratır.

Gövdesi toprağa bağlı, gövdesi kaynağa bağlı ve yüzer gövdeli üç transistörün serim tasarımı sırasıyla Şekil 7.3'de gösterilmiştir.

İndüktörler, transformatörsüz üç farklı devre için aynıdır. Bunlar, önceki bölümde bahsedildiği gibi 28 pH merkez beslemeli simetrik indüktörlerdir. Transformatörsüz her osilatör devresi için kapı ve drenaj terminallerinde aynı indüktörler vardır.



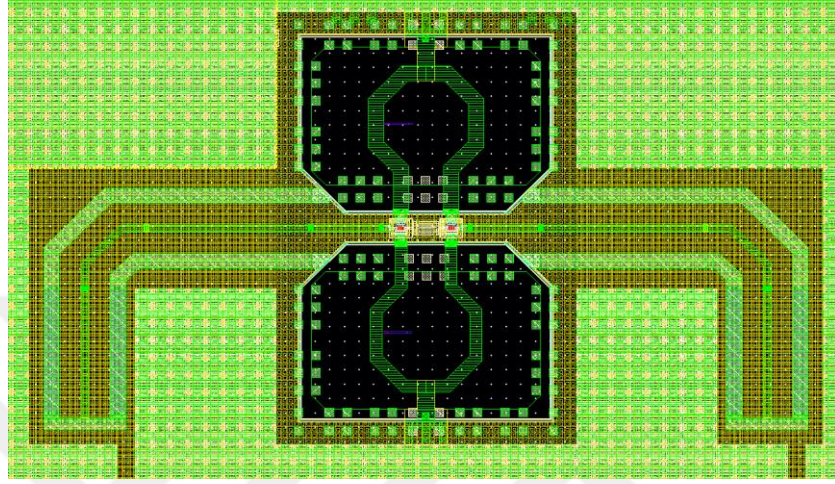
Şekil 7.3 : Üç farklı gövde bağlantılı transistörlerin serim tasarımları. (a), toprağa bağlı gövde. (b), kaynağa bağlı gövde. (c), yüzen gövde.

İndüktörün kalite faktörü, önceki bölümde simüle edildiği gibi 41'dir. Transformatörlü osilatör devrelerinde, her üç osilatör devresi için de 35 kalite faktörü olan 35 pH kapı indüktörü kullanılmaktadır. Transformatör, bölüm 6.3.3'te açıklananla aynıdır. Tek uçlu çıkış trafonun sekonder tarafından alınıp 50 ohm yük ile sonlandırılmıştır.

Gövdesi toprağa bağlı, gövdesi kaynak terminaline bağlı olan osilatörler için, optimizasyon sonucu, 6.3 fF kapasitör kullanılmış ve simüle edilmiş kalite faktörü 215'tir. Yüzer gövdeli transistörlere sahip devre için 210 kalite faktörü olan 6.88 fF kapasitör kullanılmıştır. Ayrıca transformatörlü osilatör devrelerinde her üç farklı gövde bağlantılı versiyon için kapasitör değeri 8.1 fF'dir.

İletim hatları eş düzlemlilikte dalga kılavuzu biçiminde uygulanmıştır. İletim hatlarının uzunluğu, her farklı gövde bağlantılı devre için optimize edilmiştir.

İletim hatlarının kıvrımları daha az yer kaplayacak şekilde ayarlanmıştır. Transformatörsüz yüzer gövdeli transistörlere sahip TKK'sız osilatör çekirdek devresinin serim tasarımı Şekil 7.4'te görülebilir. Şekil 7.4'teki osilatör devresinin çekirdek boyutu $113 \mu\text{m} \times 260 \mu\text{m}$ 'dir. Transformatörlü osilatör devrelerinin yerleşimi Şekil 6.22'teki ile aynıdır.



Şekil 7.4 : Transformatörsüz çekirdek osilatör devrelerinin yerleşimi.

7.3 Simülasyon Sonuçları ve Karşılaştırma

Çizelge 7.1, osilatör devrelerinin bileşen değerlerini özetlemektedir.

Çizelge 7.1 : Farklı gövde bağlantılı osilatörler için bileşenlerin değerleri.

	Transformatörsüz Osilatörler			Transformatörlü Osilatörler		
	TG	KG	YG	TG	KG	YG
Transistör Toplam Genişliği	9.6 μm			9.6 μm		
Transistör Kapısı Parmak Sayısı	8			8		
Drenaj İndüktörü (Transformatör birincil)	28 pH			28 pH		
Kapı İndüktörü	28 pH			35 pH		
Kaynak Kapasitörü	6.3 fF	6.3 fF	6.88 fF	8.1 fF		
İletim Hattı Uzunluğu	160 μm			160 μm		

Simülasyonlarda, drenaj besleme gerilimi 1 V'dir ve kapı besleme gerilimi 0.8 V'dir. Her biri farklı gövde bağlantılı transistörlere sahip transformatörsüz osilatörlerin simülasyon sonuçları Çizelge 7.2'de görülebilir.

Çizelge 7.2 : 65 nm CMOS'ta transformatörsüz tasarlanmış farklı gövde bağlantılı osilatörlerin simülasyon sonuçları.

<i>Transformatör olmadan</i>	TG	KG	YG
Frekans [GHz]	210.6	210	209.3
Tepeden Tepeye Gerilim (V)	1.26	1.23	1.57
DA Gücü [mW]	9.47	9.5	11
Faz Gürültüsü [dBc/Hz]	-101.5 @10MHz	-101.3 @10MHz	-102 @10MHz

Çizelge 7.2'deki sonuçlara göre en iyi performans yüzer gövdeli transistörlere sahip osilatörden elde edilmiştir. Bu osilatör devresi 11 mW DA güce eşit olan 11 mA akım çekmektedir. Transistörlerin drenaj terminallerinde 1.57 V_{p-p} diferansiyel çıkış voltajı elde edilmiştir. Farklı gövde bağlantılı tüm osilatör devreleri için faz gürültü performansı 1 MHz'de -81 dBc/Hz ve 10 MHz aralığında -101 dBc/Hz'den daha iyidir. Faz gürültüsünün en iyi değeri, 1 MHz'de -82 dBc/Hz ve 10 MHz aralığında -102 dBc/Hz yüzer gövde konfigürasyonuna sahip devreden elde edilmiştir. Transistörlerin topraklanmış gövde ve kaynağa bağlı gövde olan konfigürasyonları birbirleri ile benzer sonuçlar göstermektedir; ancak, topraklanmış gövde biraz daha iyi performansa sahiptir.

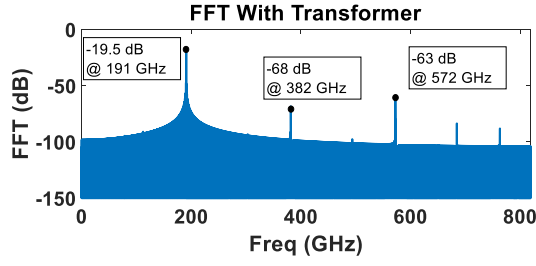
Üç farklı gövde bağlantılı transformatörlü osilatör devresinin simülasyon sonuçları Çizelge 7.3'de sunulmuştur. Devrelerdeki bileşen değerleri Çizelge 7.1'de görüldüğü gibi trafosuz versiyonlara çok benzemektedir. Salınım frekansları transformatörsüz osilatörlerden daha düşüktür çünkü transformatör kayıpları yüzünden aynı frekansta elde edilen salınım sinyalinin gücü çok fazla düşmektedir. Standart topraklanmış gövde konfigürasyonuna sahip osilatör bir önceki bölümde anlatılmış ve simülasyon sonuçları o bölümden alınmıştır.

Çizelge 7.3 : 65 nm CMOS'ta tasarlanan farklı gövde bağlantılı transformatörlü osilatörlerin simülasyon sonuçları.

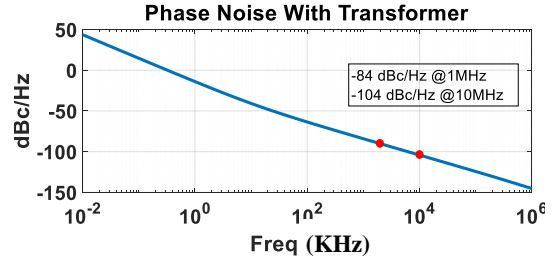
<i>Transformatör ile</i>	TG	KG	YG
Salınım Frekansı (GHz)	190.8	191.5	191.3
Transformatörün tekli çıkışında tepeden tepeye salınım gerilimi (mV)	270	250	304.2
Faz Gürültüsü @ 1M (dBc/Hz)	-84.13	-83.02	-82.27
Faz Gürültüsü @ 10M (dBc/Hz)	-104.2	-103.1	-102.4
DA Güç Tüketimi (mW)	9.49	9.51	11
Çıkış Gücü (dBm)	-7.49	-8.061	-6.356
DA-RF Verimliliği (%)	1.915	1.642	2.11

Topraklanmış gövdeli osilatörün salınım frekansı kabaca 191 GHz'dir, en yüksek frekans, gövdenin kaynak terminaline bağlı olduğu osilatörden 191.5 GHz olarak elde edilmiştir. Transformatörün sekonderindeki tepeden tepeye gerilimler, topraklanmış gövde, kaynağa bağlı gövde ve yüzer gövde konfigürasyonları için sırasıyla 270 mV, 250 mV ve 304 mV'dir. Topraklanmış gövde konfigürasyonunun sekonderindeki tepeden tepeye voltaj, yüzer gövde konfigürasyonu ile %12,6 artırılmıştır, benzer şekilde kaynağa bağlı gövdeli konfigürasyon için 250-mV'den 304-mV'a %21,6 artırılmıştır. Yüzer gövde konfigürasyonu en iyi performansı sağlamaktadır. En yüksek güç çıkışı yüzer gövde konfigürasyonu ile transformatörün sekonderinde 50 ohm yük üzerinden -6,36-dBm olarak ölçülmüştür. DA-RF verimliliği yüzer gövdeli osilatör konfigürasyonu ile artırılmış ve %2.11 DA-RF verimi elde edilmiştir. Kaynağa bağlı gövde, %1,642 ile en kötü DA-RF verimliliğini gerçekleştirmiştir. Osilatör devrelerinin 50 ohm yüke bağlı çıkışlarında benzetimleri yapılan çıkış gücü spektrumu Şekil 7.6'da sunulmuştur.

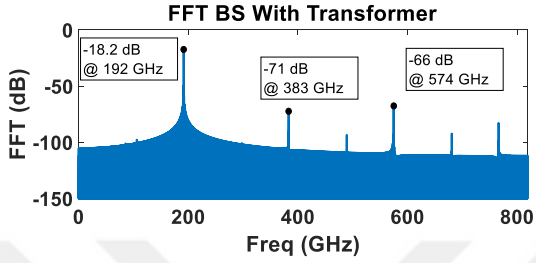
Tüm konfigürasyonlar için salınım sinyallerinin HFD ve faz gürültüsü Şekil 7.5'te görülebilir.



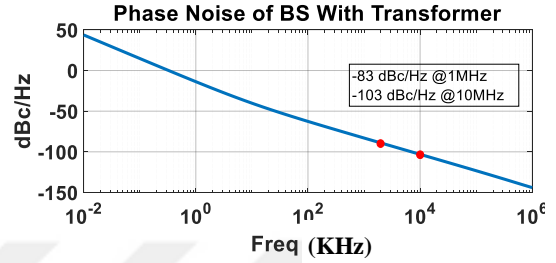
(a)



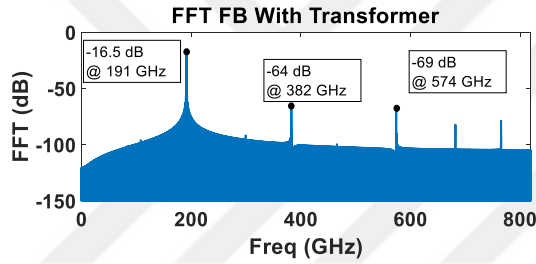
(b)



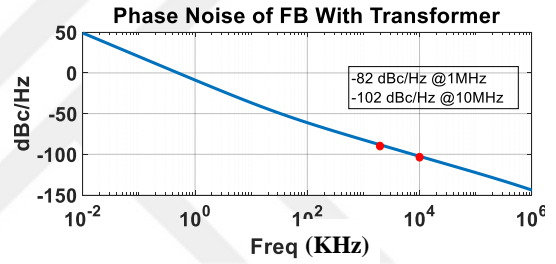
(c)



(d)



(e)



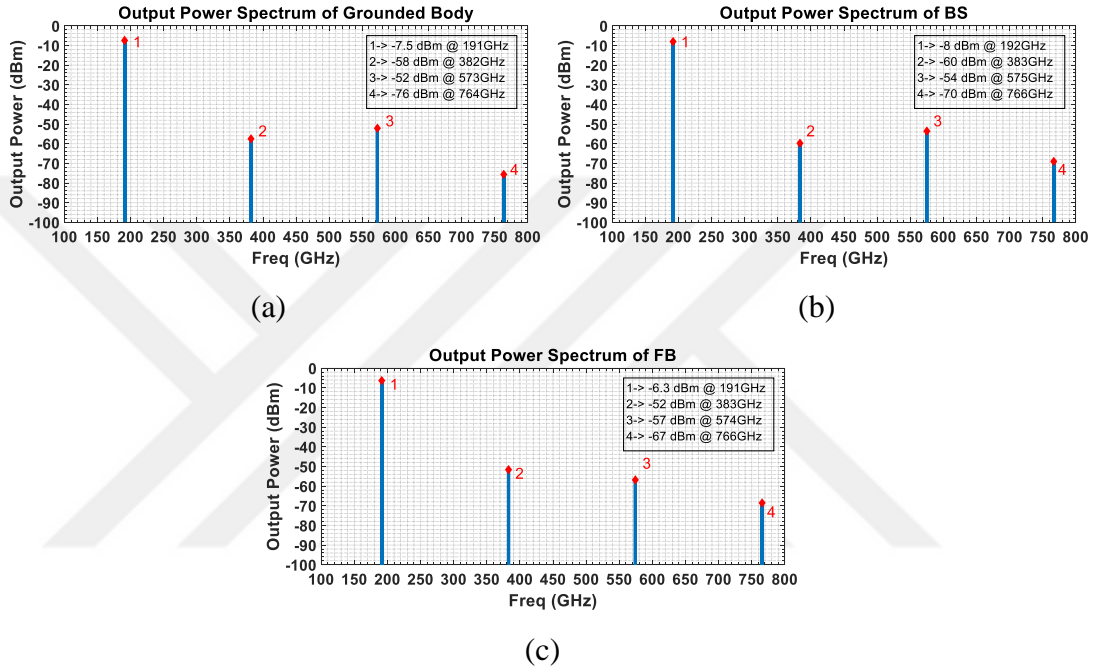
(f)

Şekil 7.5 : 65 nm CMOS'ta tasarlanan farklı gövde bağlantılı transformatörlü osilatörlerin simülasyon sonuçları. (a), topraklanmış gövde osilatör devresinin HFD'si. (b), topraklanmış gövde osilatör devresinin faz gürültüsü. (c), kanağa bağlı gövde osilatör devresinin HFD'si. (d), kanağa bağlı gövde osilatör devresinin faz gürültüsü. (e), yüzer gövde osilatör devresinin HFD'si. (f), yüzer gövde osilatör devresinin faz gürültüsü.

7.4 Sonuç

Transistörlerin gövde bağlantısının, CMOS teknolojisindeki THz altı temel sinyal kaynakları için F_{max} 'ı iyileştiren önemli bir tasarım parametresi olduğu gösterilmiştir. Sonuçlara göre, yüzer gövdeli transistörler, verilen THz altı temel sinyal kaynağı ile daha iyi performans göstermektedir. Yüzer gövdeli transistörlü tasarlanmış temel osilatör, transformatör olmadan 209.3 GHz'de 1.57 V_{p-p} diferansiyel çıkış voltajına ulaşır. Yüzer gövde için simüle edilmiş diferansiyel çıkış voltajı, standart topraklanmış gövdeli transistörlere ve kaynağa bağlı gövdeye sahip devrelerden 1.24 kat daha yüksektir; bu, CMOS'un verimli kaynaklar sağlamada zorluk yaşadığı THz altı frekans

bölgesi için önemli bir gelişmedir. Ayrıca, yüzer gövde konfigürasyonu, 191 GHz'de diferansiyelden tek uçlu transformatör çıkışında %2.11 DA-RF verimliliği sağlar. Bu değer, diğer iki konfigürasyonun DA-RF verimliliklerinden oldukça yüksektir. Bu sonuçlara ek olarak, bu tezdeki temel osilatör tasarımı, 65 nm CMOS'ta 190 GHz'in üzerinde önemli bir performans sunmaktadır. Bu çalışma, CMOS'ta THz altı frekanslarda güçlü sinyal kaynaklarını geliştirmek için transistörlerin farklı gövde bağlantılarının bir tasarım yönü olarak düşünülmesi gerektiğini göstermektedir.



Şekil 7.6 : 65 nm CMOS'ta tasarlanmış farklı gövde bağlantılı transformatörlü osilatörlerin çıkış güç spektrumu. (a) topraklanmış gövde konfigürasyonu. (b), kanağa bağlı gövde konfigürasyonu. (c), yüzer gövde konfigürasyonu.

8. SONUÇ VE GELECEK ÇALIŞMALAR

Bu tezin temel amaçları doğrultusunda, temel diferansiyel osilatör devre topolojisi; literatür araştırması ve bu alandaki en son çalışmalar yardımıyla incelenmiştir. Transistör küçük sinyal modellerini ve osilatör devre modellerini geliştirmek için teorik arka plan incelenmiştir. Geliştirilen bu devre modellerinde temel bir diferansiyel osilatör devresi kullanılmış ve osilasyon çekirdeği Y parametreleri kullanılarak tasarlanmıştır.

Öncelikle, 22 nm FDSOI teknolojisini THz altı sinyal kaynağı tasarımları yapabilmek adına incelemek için tezde detaylı incelenen temel osilatör devresi kullanılmıştır. 350 GHz ve 300 GHz osilatör devreleri 22 nm FDSOI'de sadece STK modelleri kullanılarak herhangi bir yerleşim çalışması yapılmadan tasarlanmıştır. Bu osilatörlerin performansı, 22 nm FDSOI'de özel yerleşim çalışmaları ile geliştirilebilir; Esasen, aktif bölgede yarı iletken malzemedeki düşük kaçak nedeniyle 300-GHz üzerindeki THz altı frekanslarda entegre sinyal kaynağı tasarımını FDSOI teknolojisi ile kolaylaştırmak mümkündür. Sonuç olarak, 22-nm FDSOI, THz altı ve üzeri frekanslarında entegre sinyal kaynağı çalışmaları için önemli bir adaydır.

Aynı osilatör devre topolojisi, TSMC'den 65 nm CMOS teknolojisinde incelenmiştir. Osilatör çekirdeği, olası maksimum frekansa yakın salınım yapacak şekilde tasarlanmıştır. İdeal STK modeli, yaklaşık 270 GHz Fmax sağlar. Bu değer, yerleşimden gelen parazit elemanlarla 230 GHz olarak sonuçlanmıştır. Transistörün serimi ve ara bağlantıları geliştirilerek parazit elemanlar da dahilken Fmax 239-GHz'e yükseltilmiştir. Temel osilatör devresi, tüm EM simüle edilmiş pasif bileşenler ve serimden gelen parazitik elemanlar dahil edilerek benzetimleri yapılmış ve tamamlanmıştır. Elde edilen salınım frekansı, transformatör olmadan 210 GHz ve transformatör ile 190 GHz'dir. Osilatörden %1.915 DA-RF verimliliği elde edilmiştir.

65 nm CMOS'ta tasarlanan 190 GHz osilatör devresi, THz altı frekanslarda DA'dan RF'ye verimliliği artırmak amaçlı transistörün gövde bağlantısının etkisini incelemek için kullanılmıştır. Standart topraklı gövde, kaynak terminaline bağlı gövde ve yüzer gövde olmak üzere üç farklı gövde bağlantısı seçilmiştir. Bu 3 gövde konfigürasyonu, 65 nm CMOS'ta önceden tasarlanmış temel osilatör devresinde karşılaştırılmıştır.

Sonuç olarak, yüzer gövde konfigürasyonu gelişmiş performans göstermiş ve DA-RF verimliliği artırılmıştır. Farklı gövde bağlantısına sahip 3 osilatör devresinin hepsi yaklaşık 191 GHz'de salınır. Topraklı gövde, kaynağa bağlı gövde ve yüzer gövde konfigürasyonları için çıkış gücü sırasıyla -7.49-dBm, -8-dBm ve -6.35-dBm'dir. Bu sonuçlar, transistörün gövde bağlantısının, osilatör performansını etkileyen bir tasarım yönü olduğunu göstermektedir. Bu tezde, temel osilatörün 65 nm CMOS'taki performansı, transistörün gövde bağlantısı incelenerek geliştirilmiştir. Bu durum, yaygın olarak kullanılan, oturmuş bir entegre devre teknolojisi olan 65 nm CMOS'ta THz altı sinyal kaynağı tasarımı için önemli bir sonuçtur.

Gelecekteki çalışmalar için bu tezdeki osilatör devreleri üretilebilir ve ölçülebilir. Ölçülen verilere göre tasarım iyileştirmeleri yapılabilir. Osilatör devreleri ölçüldükten sonra devre modellerinin doğruluğu gözlemlenerek, transistör küçük sinyal modeli, tutarlı modeller elde etmek için farklı gövde bağlantı konfigürasyonları için geliştirilebilir. 65 nm CMOS'ta sinyal kaynağının DA-RF verimliliğini ve salınım frekansını daha da iyileştirmek için aktif cihazın F_{max} 'ı ölçülebilir ve ölçülen verilerle STK modelleri optimize edilebilir. Ayrıca transformatör, osilatördeki kayıp açısından en çok etkilenen bileşendir; bu nedenle, osilatörden salınım sinyalini elde etmek için başka bir yöntem araştırılabilir ve incelenebilir.

KAYNAKLAR

- [1] **Siegel, P. H.** (2002). Terahertz technology, *IEEE Transactions on Microwave Theory and Techniques*, 50, 910-928.
- [2] **Tonouchi, M.** (2007). Cutting-edge terahertz technology, *Nature Photonics*, 1, 97-105.
- [3] **Wietzke, S., Jördens, C., Krumbholz, N., Baudrit, B., Bastian, M., Koch, M.** (2007). Terahertz imaging: a new non-destructive technique for the quality control of plastic weld joints, *Journal of the European Optical Society*, 2, 07013-1-07013-5.
- [4] **Kemp, M. C., Taday, P. F., Cole, B. E., Cluff, J. A., Fitzgerald, A. J., Tribe, W. R.** (2003). Security applications of terahertz technology, *Proceedings of SPIE*, 5070, 44-52.
- [5] **Rowe, D. G.** (2007). Terahertz takes to the stage, *Nature Photonics*, 1, 75-77.
- [6] **Song, H. J., Nagatsuma, T.** (2011). Present and future of terahertz communications, *IEEE Transactions on Terahertz Science and Technology*, 1, 256–263.
- [7] **Federici, J., Moeller, L.** (2010). Review of terahertz and subterahertz wireless communications, *Journal of Applied Physics*, 107, 111101-1–111101-22.
- [8] **Kallfass, I., Antes, J., Schneider, T., Kurz, F., Lopez-Diaz, D., Diebold, S., ... & Tessmann, A.** (2011). All active MMIC-based wireless communication at 220 GHz, *IEEE Transactions on Terahertz Science and Technology*, 1(2), 477-487.
- [9] **Abbasi, M., Gunnarsson, S. E., Wadefalk, N., Kozhuharov, R., Svedin, J., Cherednichenko, S., ... & Zirath, H.** (2010). Single-chip 220-GHz active heterodyne receiver and transmitter MMICs with on-chip integrated antenna, *IEEE transactions on microwave theory and techniques*, 59(2), 466-478.

- [10] **Elkhouly, M., Mao, Y., Meliani, C., Ellinger, F., & Schyett, C.** (2013, June). A 245 GHz ASK modulator and demodulator with 40 Gbits/sec data rate in 0.13 μm SiGe BiCMOS technology. In *2013 IEEE MTT-S International Microwave Symposium Digest (MTT)* (pp. 1-3). IEEE.
- [11] **Song, H. J., Kim, J. Y., Ajito, K., Yaita, M., & Kukutsu, N.** (2013). Fully integrated ASK receiver MMIC for terahertz communications at 300 GHz, *IEEE Transactions on Terahertz Science and Technology*, 3(4), 445-452.
- [12] **Nagatsuma, T., Ducournau, G., & Renaud, C. C.** (2016). Advances in terahertz communications accelerated by photonics. *Nature Photonics*, 10(6), 371.
- [13] **Southeastern Universities Research Association (SURA).** (2006). Sources and Uses of Frequency Bands. Retrieved December 2021, from: URL1
- [14] **Charrada K., Zisis G. and Aubes M.** (1996). Two-temperature, two-dimensional fluid modelling of mercury plasma in high-pressure lamps, *J. Phys. D: Appl. Phys.* 29 2432–8.
- [15] **Bonner L. G.** (1937). A new type globar support for infrared spectrometry, *Rev. Sci. Instrum.* 8 264–5.
- [16] **Zolotarev V. M., Mamedov R. K., Bekhterev A. N. and Volchek B. Z.** (2007). Spectral emissivity of a globar lamp in the 2–50- μm region, *J. Opt. Technol.* 74 378–84.
- [17] **He W., Donaldson C. R., Zhang L., Ronald K., McElhinney P. and Cross A. W.** (2013). High power wideband gyrotron backward wave oscillator operating towards the terahertz region, *Phys. Rev. Lett.* 110 165101.
- [18] **Shin Y. M., Park G. S., Scheitrum G. P. and Caryotakis G.** (2004) Circuit analysis of an extended interaction klystron, *J. Korean Phys. Soc.* 44 1239–45.
- [19] **Toreev A. I. and Fedorov V. K.** (2011). Shortwave millimeter-wave extended interaction amplifier klystron, *Appl. Phys.* 109–15.
- [20] **Bhattacharjee S. et. al.** (2004). Folded waveguide traveling-wave tube sources for terahertz radiation, *IEEE Trans. Plasma Sci.* 32 1002–14.

- [21] **Saito T. et. al.** (2012). Generation of high-power sub-terahertz radiation from a gyrotron with second harmonic oscillation, *Phys. Plasmas* 19 063106.
- [22] **Zvyagin S. A., Ozerov M., Cizmar E., Kamenskyi D., Zherlitsyn S., Herrmannsdorfer T., Wosnitza J., Wunsch R. and Seidel W.** (2009). Terahertz-range free-electron laser electron spin resonance spectroscopy: techniques and applications in high magnetic fields, *Rev. Sci. Instrum.* 80 073102.
- [23] **Booske J. H., Dobbs R. J., Joye C. D., Kory C. L., Neil G. R., Park G. S., Park J. and Temkin R. J.** (2011). Vacuum electronic high power terahertz sources, *IEEE Trans. Terahertz Sci. Technol.* 1 54–75.
- [24] **Hubers H. W., Pavlov S. G. and Shastin V. N.** (2005). Terahertz lasers based on germanium and silicon, *Semicond. Sci. Technol.* 20 S211–21.
- [25] **Odnoblyudov M. A., Prokofiev A. A., Yassievich I. N. and Chao K. A.** (2004). Theory of a strained p-Ge resonant-state terahertz laser, *Phys. Rev. B* 70 115209.
- [26] **Chassagneux Y., Colombelli R., Maineult W., Barbieri S., Beere H. E., Ritchie D. A., Khanna S. P., Linfield E. H. and Davies A. G.** (2009). Electrically pumped photonic-crystal terahertz lasers controlled by boundary conditions, *Nature* 457 174–8.
- [27] **Williams B. S., Kumar S., Hu Q. and Reno J. L.** (2005). Operation of terahertz quantum-cascade lasers at 164 K in pulsed mode and at 117 K in continuous-wave mode, *Opt. Express* 13 3331–9.
- [28] **Williams B. S.** (2007). Terahertz quantum-cascade lasers, *Nature Photon.* 1 517–25.
- [29] **Preu, S., Döhler, G. H., Malzer, S., Wang, L. J., & Gossard, A. C.** (2011). Tunable, continuous-wave terahertz photomixer sources and applications. *Journal of Applied Physics*, 109(6), 4.
- [30] **Heshmat, B., Pahlevaninezhad, H., Pang, Y., Masnadi-Shirazi, M., Burton Lewis, R., Tiedje, T., ... & Darcie, T. E.** (2012). Nanoplasmonic terahertz photoconductive switch on GaAs. *Nano letters*, 12(12), 6255-6259.

- [31] **Berry, C., Hashemi, M. R., Unlu, M., & Jarrahi, M.** (2013). Design, fabrication, and experimental characterization of plasmonic photoconductive terahertz emitters. *JoVE (Journal of Visualized Experiments)*, (77), e50517.
- [32] **Schneider A., Stillhart M. and Gunter P.** (2006). High efficiency generation and detection of terahertz pulses using laser pulses at telecommunication wavelengths, *Opt. Express* 14 5376–84.
- [33] **Deninger A. J., Gobel T., Schönherr D., Kinder T., Roggenbuck A., Köberle M., Lison F., Müller-Wirts T. and Meissner P.** (2008). Precisely tunable continuous-wave terahertz source with interferometric frequency control, *Rev. Sci. Instrum.* 79 044702.
- [34] **Perez S., Gonzalez T., Pardo D. and Mateos J.** (2008). Terahertz Gunn-like oscillations in InGaAs/InAlAs planar diodes, *J. Appl. Phys.* 103 094516.
- [35] **Knap W., Lusakowski J., Parenty T., Bollaert S., Cappy A., Popov V. V. and Shur M. S.** (2004). Terahertz emission by plasma waves in 60 nm gate high electron mobility transistors, *Appl. Phys. Lett.* 84 2331–3.
- [36] **Dyakonova N. et. al.** (2006). Room-temperature terahertz emission from nanometer field-effect transistors, *Appl. Phys. Lett.* 88 141906.
- [37] **Lusakowski J. et. al.** (2005). Voltage tuneable terahertz emission from a ballistic nanometer InGaAs/InAlAs transistor, *J. Appl. Phys.* 97 064307.
- [38] **Cattaneo, R., Borodianskyi, E. A., Kalenyuk, A. A., & Krasnov, V. M.** (2021). Superconducting Terahertz Sources with 12% Power Efficiency. *Physical Review Applied*, 16(6), L061001.
- [39] **Chevalier, P., Amirzhan, A., Wang, F., Piccardo, M., Johnson, S. G., Capasso, F., & Everitt, H. O.** (2019). Widely tunable compact terahertz gas lasers. *Science*, 366(6467), 856-860.
- [40] **Hu, Z., Kaynak, M., & Han, R.** (2018). High-power radiation at 1 THz in silicon: A fully scalable array using a multi-functional radiating mesh structure. *IEEE Journal of Solid-State Circuits*, 53(5), 1313-1327.

- [41] **Yun, J., Kim, J., Yoon, D., & Rieh, J. S.** (2017). 645-GHz InP heterojunction bipolar transistor harmonic oscillator. *Electronics Letters*, 53(22), 1475-1477.
- [42] **Seok, E., Cao, C., Shim, D., Arenas, D. J., Tanner, D. B., Hung, C. M., & Kenneth, K. O.** (2008, February). A 410GHz CMOS push-push oscillator with an on-chip patch antenna. In 2008 *IEEE International Solid-State Circuits Conference-Digest of Technical Papers* (pp. 472-629). IEEE.
- [43] **Landsberg, N., & Socher, E.** (2013). 240 GHz and 272 GHz fundamental VCOs using 32 nm CMOS technology. *IEEE transactions on microwave theory and techniques*, 61(12), 4461-4471.
- [44] **Takano, K., Katayama, K., Amakawa, S., Yoshida, T., & Fujishima, M.** (2016). Wireless digital data transmission from a 300 GHz CMOS transmitter. *Electronics Letters*, 52(15), 1353-1355.
- [45] **Oshima, N., Hashimoto, K., Suzuki, S., & Asada, M.** (2016). Wireless data transmission of 34 Gbit/s at a 500-GHz range using resonant-tunnelling-diode terahertz oscillator. *Electronics letters*, 52(22), 1897-1898.
- [46] **Chinni, V. K., Latzel, P., Zégaoui, M., Coinon, C., Wallart, X., Peytavit, E., ... & Ducournau, G.** (2018). Single-channel 100 Gbit/s transmission using III–V UTC-PDs for future IEEE 802.15. 3d wireless links in the 300 GHz band. *Electronics Letters*, 54(10), 638-640.
- [47] **Rodríguez-Vázquez, P., Grzyb, J., Heinemann, B., & Pfeiffer, U. R.** (2019). A 16-QAM 100-Gb/s 1-M wireless link with an EVM of 17% at 230 GHz in an SiGe technology. *IEEE Microwave and Wireless Components Letters*, 29(4), 297-299.
- [48] **Eissa, M. H., Malignaggi, A., Wang, R., Elkhoully, M., Schmalz, K., Ulusoy, A. C., & Kissinger, D.** (2018). Wideband 240-GHz transmitter and receiver in BiCMOS technology with 25-Gbit/s data rate. *IEEE Journal of Solid-State Circuits*, 53(9), 2532-2542.

- [49] **IEEE.** (2017). IEEE Standard for High Data Rate Wireless Multi-Media Networks—Amendment 2: 100 Gb/s Wireless Switched Point-to-Point Physical Layer. IEEE Std 802.15. 3d-2017, 1-55.
- [50] **Han, R., & Afshari, E.** (2013). A CMOS high-power broadband 260-GHz radiator array for spectroscopy. *IEEE Journal of Solid-State Circuits*, 48(12), 3090-3104.
- [51] **Tousi, Y., & Afshari, E.** (2014, February). 14.6 A scalable THz 2D phased array with +17dBm of EIRP at 338GHz in 65nm bulk CMOS. In *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)* (pp. 258-259). IEEE.
- [52] **Sengupta, K., & Hajimiri, A.** (2012, February). A 0.28 THz 4×4 power-generation and beam-steering array. In *2012 IEEE International Solid-State Circuits Conference* (pp. 256-258). IEEE.
- [53] **Steyaert, W., & Reynaert, P.** (2014). A 0.54 THz signal generator in 40 nm bulk CMOS with 22 GHz tuning range and integrated planar antenna. *IEEE Journal of Solid-State Circuits*, 49(7), 1617-1626.
- [54] **Shirazi, A. H. M., Nikpaik, A., Mirabbasi, S., & Shekhar, S.** (2016, May). A quad-core-coupled triple-push 295-to-301 GHz source with 1.25 mW peak output power in 65nm CMOS using slow-wave effect. In *2016 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)* (pp. 190-193). IEEE.
- [55] **Guo, K., Zhang, Y., & Reynaert, P.** (2018). A 0.53-THz subharmonic injection-locked phased array with 63- μ W radiated power in 40-nm CMOS. *IEEE Journal of Solid-State Circuits*, 54(2), 380-391.
- [56] **Razavi, B.** (2011). A 300-GHz fundamental oscillator in 65-nm CMOS technology. *IEEE Journal of Solid-State Circuits*, 46(4), 894-903.
- [57] **Wang, Z., Chiang, P. Y., Nazari, P., Wang, C. C., Chen, Z., & Heydari, P.** (2014). A CMOS 210-GHz fundamental transceiver with OOK modulation. *IEEE Journal of Solid-State Circuits*, 49(3), 564-580.
- [58] **Chen, J., Wang, H., & Liu, X.** (2019, April). A 310-GHz Fundamental Oscillator with 0.4-mW Output Power and 3.2% dc-to-RF Efficiency in 65-nm

- CMOS. In 2019 *IEEE 20th Wireless and Microwave Technology Conference (WAMICON)* (pp. 1-4). IEEE.
- [59] **Chiang, P. Y., Wang, Z., Momeni, O., & Heydari, P.** (2014, February). 14.7 A 300GHz frequency synthesizer with 7.9% locking range in 90nm SiGe BiCMOS. In 2014 *IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)* (pp. 260-261). IEEE.
- [60] **Chi, T., Luo, J., Hu, S., & Wang, H.** (2015). A multi-phase sub-harmonic injection locking technique for bandwidth extension in silicon-based THz signal generation. *IEEE Journal of Solid-State Circuits*, 50(8), 1861-1873.
- [61] **Hillger, P., Grzyb, J., Malz, S., Heinemann, B., & Pfeiffer, U.** (2017, June). A lens-integrated 430 GHz SiGe HBT source with up to -6.3 dBm radiated power. In 2017 *IEEE Radio Frequency Integrated Circuits Symposium (RFIC)* (pp. 160-163). IEEE.
- [62] **Razavi, B.** (2001). Design of analog CMOS integrated circuits. Boston, MA: *McGraw-Hill*.
- [63] **Razavi, B.** (2006). Fundamentals of microelectronics. Hoboken, NJ: *Wiley*.
- [64] **Foundries, G.** (2015). FD-SOI Technology Innovations Extend Moore's Law. *Global Foundries White Paper*, September.
- [65] **Virtuoso Analog Design Environment XL** [Datasheet]. (2022, Spring). *Cadence*.
- [66] **SPICE Overview**. (n.d.). Retrieved July 28, 2022, from: URL2
- [67] **Sonnet Suites**. (n.d.). Retrieved July 27, 2022, from: URL3
- [68] **About EMX**. (n.d.). Retrieved July 28, 2022, from: URL4
- [69] **AWR Microwave Office** [Datasheet]. (2022, Spring). *Cadence*.
- [70] **Suman, S., Bhardwaj, M., & Singh, B. P.** (2012, January). An improved performance ring oscillator design. In 2012 *Second International Conference on Advanced Computing & Communication Technologies* (pp. 236-239). IEEE.

[71] **Harjani R., Dai L.,** (2000). Comparison and Analysis of Phase Noise in Ring Oscillators, *ISCAS*, May 28-31, Geneva, Switzerland.

[72] **GLOBALFOUNDRIES.** (2020, June 24). 22FDX Design Kit and Technology Training Book. California.

[73] **Voinigescu, S.** (2013). High-frequency integrated circuits. *Cambridge University Press.*

URL1 (Aralık 2021):

http://www.sfu.ca/medialab/archive/2007/387/Resources/Images/EM%20Spectrum/sura_electromagnetic_spectrum_full_chart.jpg.

URL2 (Temmuz 2022):

http://bwrcs.eecs.berkeley.edu/Classes/IcBook/SPICE/UserGuide/overview_fr.html

URL3 (Temmuz 2022): <https://www.sonnetsoftware.com/products/sonnet-suites/>

URL4 (Temmuz 2022): <https://www.integrandsoftware.com/aboutemx.php>